



2013
2014

Mantık Devreleri Laboratuvarı

Ders Sorumlusu: Prof. Dr. Mehmet AKBABA

Laboratuvar Sorumlusu: Emrullah SONUÇ

İÇİNDEKİLER

Deney 1: 'DEĞİL', 'VE', 'VEYA', 'VE DEĞİL', 'VEYA DEĞİL' KAPILARI	3
1.0. Amaç ve Kapsam.....	3
1.1. Deneyle İlgili Teorik Bilgiler	3
1.2. Deneyin Uygulanması	5
1.3. Sorular ve Sonuçlar.....	7
Deney 2: Mantıksal İfadelerin Sadeleştirilmesi ve De Morgan Yasası	8
2.0. Amaç Ve Kapsam	8
2.1. Deneyle İlgili Teorik Bilgiler	8
2.2. Deneyin Uygulanması	8
2.3. Sorular ve Sonuçlar.....	9
Deney 3: Kombinasyonel Devre Tasarımı: BCD Dijit.....	10
3.0. Amaç Ve Kapsam	10
3.1. Deneyle İlgili Teorik Bilgiler	10
3.2. Deneyin Uygulanması.....	10
3.3. Sorular ve Sonuçlar.....	10
Deney 4: Multiplexer(Veri Seçici) Kullanarak Kombinasyonel Devre Tasarımı	11
4.0. Amaç Ve Kapsam	11
4.1. Deneyle İlgili Teorik Bilgiler	11
4.2. Deneyin Uygulanması.....	11
4.3. Sorular ve Sonuçlar.....	11
Deney 5: J-K Flip Flop Kullanarak Sayıcı Tasarımı	12
5.0. Amaç Ve Kapsam	12
5.1. Deneyle İlgili Teorik Bilgiler	12
5.2. Deneyin Uygulanması.....	12
5.3. Sorular ve Sonuçlar.....	13

Deney 1: 'DEĞİL', 'VE', 'VEYA', 'VE DEĞİL', 'VEYA DEĞİL' KAPILARI

1.0. Amaç ve Kapsam

1. Öğrencilerin laboratuvar ekipmanlarını tanıması, entegreler hakkında bilgi edinmesi.
2. DEĞİL, VE, VEYA, VE DEĞİL, VEYA DEĞİL kapılarının doğruluk tablolarını oluşturmak.

1.1. Deneyle İlgili Teorik Bilgiler

Kapılar

DEĞİL (NOT): Girişi 1 iken çıkışı 0, girişi 0 iken çıkışı 1dir. (7404)

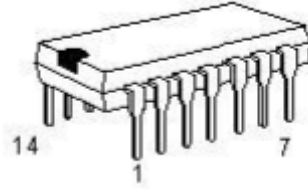
VE (AND): Tüm girişlerinin 1 olduğu durumda çıkışı 1 olan çoklu giriş devresidir. (7408)

VEYA (OR): Herhangi bir girişinin 1 olduğu durumda çıkışı 1 olan çoklu giriş devresidir. (7432)

VE DEĞİL (NAND): VE kapısını ardından DEĞİL kapısının geldiği devredir. (7400)

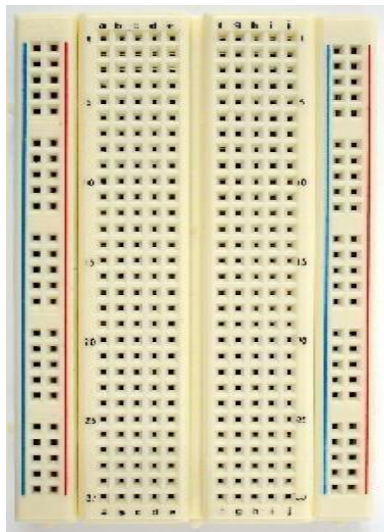
VEYA DEĞİL (NOR): VEYA kapısını ardından DEĞİL kapısının geldiği devredir. (7402)

Bu deneyde kullanılacak entegrelerin her biri çift sıralı olarak 14 pine sahiptir. Pin numaraları Şekil 1.1'de görüldüğü gibi saat yönünün tersine ilerler. Şekil 1.2'de deneyde kullanılacak entegrelerin listesi yer almaktadır.

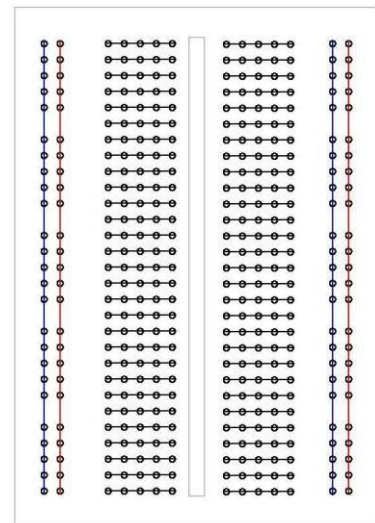


Şekil 1.1 Entegre

Deneylerde bağlantıları sağlamak için kullanılacak BreadBoard Şekil 1.2'de, iç yapısı ise Şekil 1.3'de gösterilmiştir.

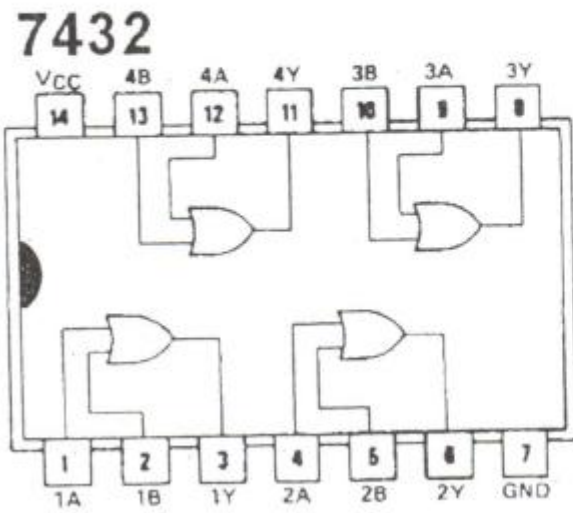
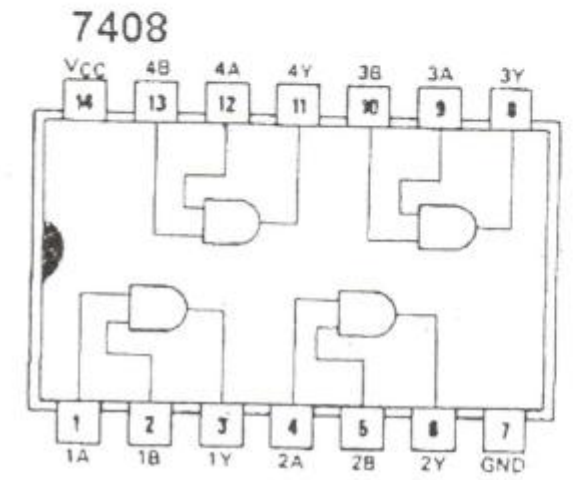


Şekil 1.2 Örnek Breadboard.

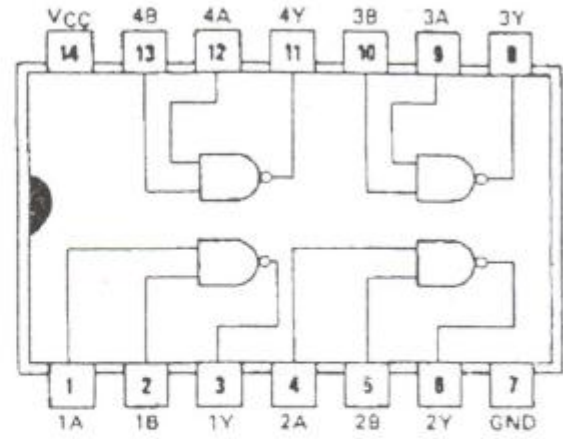


Şekil 1.3 Breadboard'un İç Bağlantıları

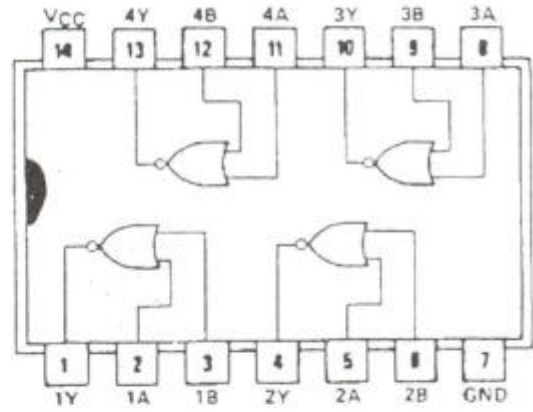
Entegreler



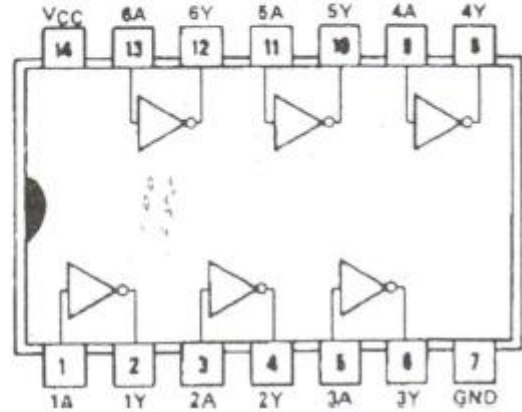
7400



7402



7404



Şekil 1.4 Entegreler

1.2. Deneyin Uygulaması

Deneyde Kullanılacak Malzemeler

7404 - DEĞİL Kapısı

7408 - 2 Girişli VE Kapısı

7400 - 2 Girişli VE DEĞİL Kapısı

7432 - 2 Girişli VEYA Kapısı

7402 - 2 Girişli VEYA DEĞİL Kapısı

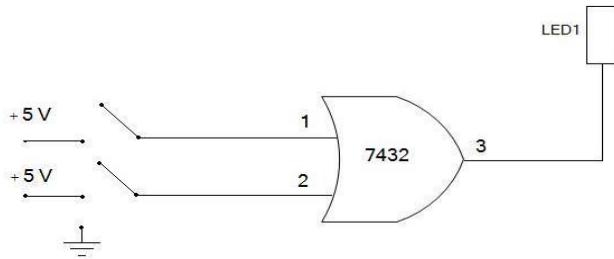
DeneySEL Prosedür

A, B ve C şıklarının hepsi için aşağıdaki işlemleri uygulayın:

- 1- Kullanılacak entegreyi Breadboard'a yerleştirin.
- 2- Vcc pinini +5V ve GND pinini toprak ile besleyin.
- 3- Girişleri ve çıkışları devrenizin tasarımına göre uygulayın ve LED'i çıkışa bağlayın.
- 4- Devrenizi besleyecek güç kaynağını aktif hale getirin.
- 5- Devrenizde LED'in yanıp yanmama durumuna göre 0 ve 1 durumlarını gözlemleyin
- 6- Tabloları doldurun.

A: VEYA Kapısı.

7432 entegresini kullanarak Şekil 1.5'deki gibi devreyi uygulayarak Tablo 1.1'i doldurun.



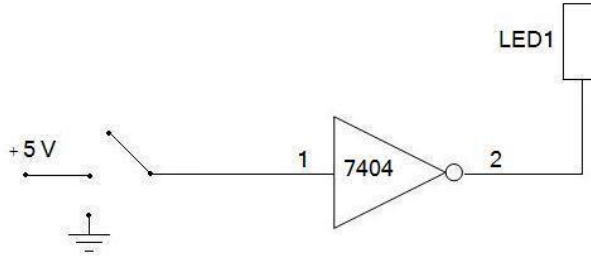
Şekil 1.5

Pin1	Pin 2	Pin 3
0	0	
0	1	
1	0	
1	1	

Tablo 1.1

B: DEĞİL Kapısı.

7404 entegresini kullanarak Şekil 1.6'daki gibi devreyi uygulayarak Tablo 1.2'yi doldurun.



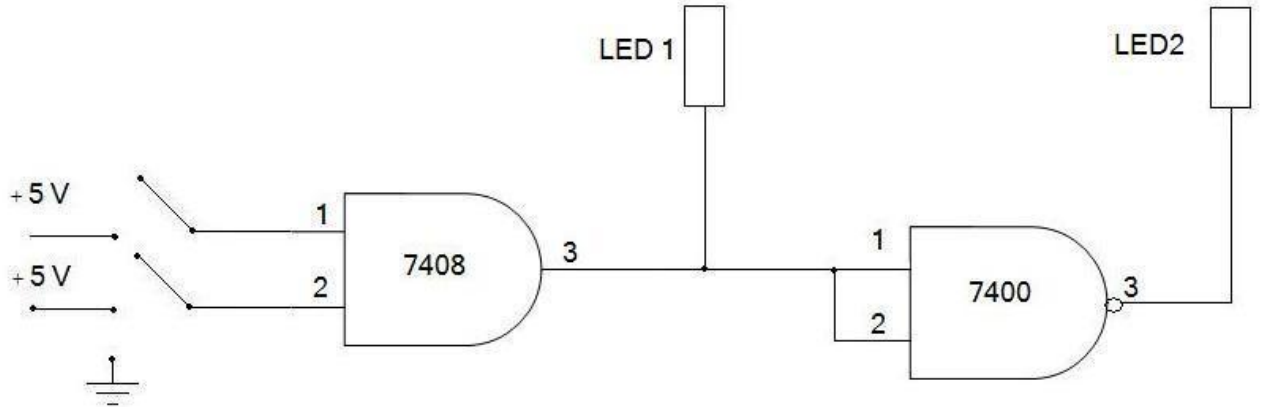
Pin1	Pin 2
0	
1	

Şekil 1.6

Tablo 1.2

C: VE+VE DEĞİL Kapısı.

7408 ve 7400 entegrelerini kullanarak Şekil 1.7'deki gibi devreyi uygulayarak Tablo 1.3'ü doldurun.



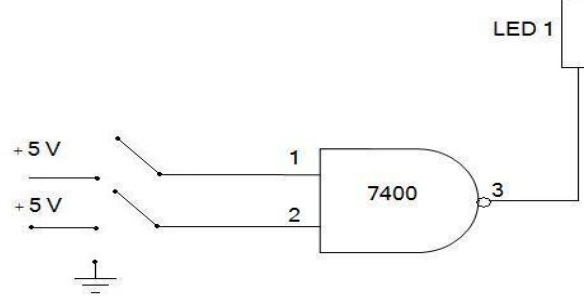
Şekil 1.7

7408			7400	
Pin 1	Pin 2	Pin 3	Pin 1,2	Pin 3
0	0			
0	1			
1	0			
1	1			

Tablo 1.3

1.3. Sorular ve Sonular

1. Ařağıdaki řekilde grlen 'VE DEĞİL' kapısının kullandığını devreyi 'VE' ve 'DEĞİL' kapılarını kullanarak tekrar iziniz.



2. Ařağıdaki Boolean fonksiyonunu 7432 entegresi kullanarak gerekleřtirin. (LogiSIM)

$$F = A+B+C+D.$$

3. Deneyde yaptıklarınızı, ğrendiklerinizi, lm sonularınızı, yorumlarınızı ve deney sonunda sorulan soruların cevaplarını da verecek řekilde rapor halinde sununuz. (Rapor bir sonraki uygulama dersinin giriřinde deney sorumlusuna teslim edilecektir.)

Deney 2: Mantıksal İfadelerin Sadeleştirilmesi ve De Morgan Yasası

2.0. Amaç Ve Kapsam

1. Boolean Cebri yöntemleri kullanarak mantıksal ifadeler oluşturulmak ve sadeleştirmek.
2. De Morgan Yasası kullanarak Boolean mantıksal ifadelerini modifiye etmek ve basitleştirmek.

2.1. Deneyle İlgili Teorik Bilgiler

De Morgan's Yasası Boolean ifadenin formunda değişiklik yapmak için kullanılır. Bu yasa, mantıksal devreyi OR/NOR ikilisinden AND/NAND ikilisine ya da bunun tam tersine çevirebilir. Boolean olarak gösterimi şu şekildedir:

$$(A + B)' = A'B'$$

$$(AB)' = A' + B'$$

2.2. Deneyin Uygulaması

Deneyde Kullanılacak Malzemeler

7404 - DEĞİL Kapısı

7408 - 2 Girişli VE Kapısı

7400 - 2 Girişli VE DEĞİL Kapısı

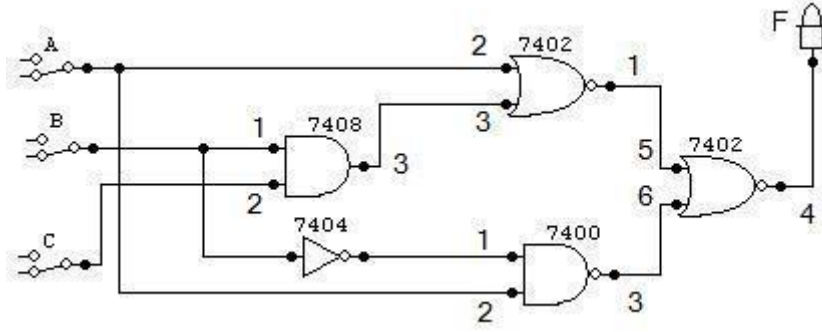
7402 - 2 Girişli VEYA DEĞİL Kapısı

DeneySEL Prosedür

A, B ve C şıklarının hepsi için aşağıdaki işlemleri uygulayın:

- 1- Kullanılacak entegreyi Breadboard'a yerleştirin.
- 2- Vcc pinini +5V ve GND pinini toprak ile besleyin.
- 3- Girişleri ve çıkışları devrenizin tasarımına göre uygulayın ve LED'i çıkışa bağlayın.
- 4- Devrenizi besleyecek güç kaynağını aktif hale getirin.
- 5- Devrenizde LED'in yanıp yanmama durumuna göre 0 ve 1 durumlarını gözlemleyin
- 6- Tabloları doldurun.

1. Şekil 2.1'deki devreyi inceleyin ve F çıkış fonksiyonuna ait Boolean ifadeyi yazın.



Şekil 2.1

2. F fonksiyonuna ait Tablo 2.1'deki doğruluk tablosundaki ilk sütunu (theoretical) doldurun.

ABC	Output F (Theoretical)	Simplified F (Experimental)
0 0 0		
0 0 1		
0 1 0		
0 1 1		
1 0 0		
1 0 1		
1 1 0		
1 1 1		

Tablo 2.1

3. Şekil 2.1'deki devreyi Breabboard üzerinde gerçekleştirin.

2.3. Sorular ve Sonuçlar

1. F fonksiyonuna ait ifadeyi sadeleştirin. Sadeleştirirken yaptığınız tüm adımları ve kullandığınız teoremleri gösterin.
2. Sadeleştirdiğiniz F fonksiyonuna ait mantıksal devreyi çizin. (LogiSIM)
3. Deneyde yaptıklarınızı, öğrendiklerinizi, ölçüm sonuçlarınızı, yorumlarınızı ve deney sonunda sorulan soruların cevaplarını da verecek şekilde rapor halinde sununuz. (Rapor bir sonraki uygulama dersinin girişinde deney sorumlusuna teslim edilecektir.)

Deney 3: Kombinasyonel Devre Tasarımı: BCD Dijit

3.0. Amaç Ve Kapsam

1. Karno Haritası yardımıyla minimum mantıksal devre tasarlamak.
2. Geçersiz BCD dijiti tespit etmek.
3. BCD dijiti ≥ 5 durumunu tespit etmek.

3.1. Deneyle İlgili Teorik Bilgiler

Ders notlarına bakınız.

3.2. Deneyin Uygulanması

Deneyde Kullanılacak Malzemeler

7400 - 2 Girişli VE DEĞİL Kapısı

7410 - 3 Girişli VE DEĞİL Kapısı

Kombinasyonel devre tasarımında şu adımları dikkate almak gereklidir:

- 1- Problemin durumunu anlama.
 - 2- Mevcut girişlerin ve istenen çıkışların sayısının hesaplanması.
 - 3- Giriş ve çıkış değerlerinin hangi harfler ile sembolize edileceğini belirleme.
 - 4- Giriş ve çıkıştan türetilen doğrulu tablosunu oluşturma.
 - 5- Her çıkış için sadeleştirilmiş Boolean fonksiyonunu elde etme.
 - 6- Mantısal devrenin çizimi.
1. 2-level VE DEĞİL-VE DEĞİL ile 8421 BCD dijit için altı geçersiz durumu tespit eden mantıksal devreyi tasarlayın ve gerçekleştirin:
 - a. Doğruluk tablosunu oluşturun.
 - b. Karno haritası kullanarak mantıksal ifadeleri sadeleştirin.
 - c. Sadeleştirilmiş çıkış fonksiyonunu SOP(Çarpımların Toplamı) formunda bulun.
 - d. Mantıksal devreyi çizin; entegrede kullanılan pin numaralarını gösterin.
 - e. Breadboard üzerinde devreyi gerçekleştirip test edin.

3.3. Sorular ve Sonuçlar

1. 2-level VE DEĞİL-VE DEĞİL ile 8421 BCD dijit için girişin ≥ 5 olduğu durumları tespit eden mantıksal devresi tasarlayın.
2. Deneyde yaptıklarınızı, öğrendiklerinizi, ölçüm sonuçlarınızı, yorumlarınızı ve deney sonunda sorulan soruların cevaplarını da verecek şekilde rapor halinde sununuz. (Rapor bir sonraki uygulama dersinin girişinde deney sorumlusuna teslim edilecektir.)

Deney 4: Multiplexer(Veri Seçici) Kullanarak Kombinasyonel Devre Tasarımı

4.0. Amaç Ve Kapsam

1. Mantıksal fonksiyonları Multiplexer kullanarak tasarlamak ve gerçekleştirmek.

4.1. Deneyle İlgili Teorik Bilgiler

Multiplexer (MUX) sayısal veriyi birkaç kaynaktan alıp iletim için ortak tek bir yola aktaran bir aygıttır. Temel bir veri seçicide birkaç veri giriş hattı ve tek bir çıkış hattı vardır. Hangi girişin çıkışa ktarılacağını belirleyen birkaç veri seçme hattı da bulunmaktadır.

4.2. Deneyin Uygulanması

Deneyde Kullanılacak Malzemeler

74151 - 8-1 Multiplexer (Veri Seçici)

Bir kombinasyonel devrede dört giriş(ABCD) ve bir çıkış(Z) vardır. Çıkış aşağıdaki durumlarda 1 olmaktadır:

- I. Birinci ve ikinci giriş (AB) 1 olduğunda ya da.
- II. Üçüncü ve dördüncü giriş(CD) 1 olduğunda.

Aşağıdaki adımları takip edip 8-1 lik Mux kullanarak devreyi tasarlayın.

1. Doğruluk tablosunu oluşturun.
2. 8-1 lik Mux için seçicileri belirleyerek mantıksal fonksiyonu gerçekleştirmek için Karno haritasını kullanın.
3. Tasarlanan devreyi çizin.
4. Devreyi breadboard üzerinde kurun ve test edin.

4.3. Sorular ve Sonuçlar

1. 2-1 lik Mux kullanarak devreyi tasarlayın ve doğruluğunu gösterin.
2. Deneyde yaptıklarınızı, öğrendiklerinizi, ölçüm sonuçlarınızı, yorumlarınızı ve deney sonunda sorulan soruların cevaplarını da verecek şekilde rapor halinde sununuz. (Rapor bir sonraki uygulama dersinin girişinde deney sorumlusuna teslim edilecektir.)

Deney 5: J-K Flip Flop Kullanarak Sayıcı Tasarımı

5.0. Amaç Ve Kapsam

1. Ardışık mantık devrelerinin çalışma prensibini anlamak ve saat(clock) kavramına aşina olmak.
2. Belirli bir dizi için senkron sayıcı tasarlamak.

5.1. Deneyle İlgili Teorik Bilgiler

Flip floplar ardışıl olarak (sıralı olarak) giriş çıkış değerlerini hesaplayan çıkış değerlerini giriş değeri olarak kullanabilen, bellek özelliği olan lojik kapılardan oluşmuş mantık devresi parçalarıdır. Flip floplar çıkışları aklında tutar ve giriş olarak kullanır.

5.2. Deneyin Uygulanması

7486 - 2 Girişli ÖZEL VEYA Kapısı

7476 - J-K flip-flop

İki JK flip-flop (A ve B) ve bir giriş (X) içeren ardışıl devre tasarlayın.

- $X = 0$ iken, devre yukarı yönlü saymakta ve tekrarlamaktadır: $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00$
- $X = 1$ iken, devre aşağı yönlü saymakta ve tekrarlamaktadır: $00 \rightarrow 11 \rightarrow 10 \rightarrow 01 \rightarrow 00$

J-K Flip Flop durum geçiş tablosu aşağıda görüldüğü gibidir:

Q Q+	J K
0 0	0 X
0 1	1 X
1 0	X 1
1 1	X 0

Tablo 5.1

1. Karno haritasından bir sonraki durumu kullanarak J-K flip-flopun giriş değerlerini bulun.

$J_A =$ _____ $J_B =$ _____

$K_A =$ _____ $K_B =$ _____

2. J-K flip-flop kullanarak ardışıl devre şemasını çizin.
3. Devreyi breadboard üzerinde gerçekleştirip test edin.

5.3. Sorular ve Sonular

1. Devreyi D flip-flop kullanarak gerekleřtirin ve doėruluėunu gsterin.
2. Deneyde yaptıklarınızı, ėrendiklerinizi, lm sonularınızı, yorumlarınızı ve deney sonunda sorulan soruların cevaplarını da verecek řekilde rapor halinde sununuz. (Rapor bir sonraki uygulama dersinin giriřinde deney sorumlusuna teslim edilecektir.)