



GENİŞ GİRİŞ GERİLİMİ ARALIKLI SOLAR MİKRO EVİRİCİ TASARIMI VE UYGULAMASI

**2024
YÜKSEK LİSANS TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ**

Burhan HÜKÜMEN

**Tez Danışmanı
Doç. Dr. Mustafa GÖKDAĞ**

**GENİŞ GİRİŞ GERİLİMİ ARALIKLI SOLAR MİKRO-EVİRİCİ TASARIMI
VE UYGULAMASI**

Burhan HÜKÜMEN

**Tez Danışmanı
Doç. Dr. Mustafa GÖKDAĞ**

**T.C.
Karabük Üniversitesi
Lisansüstü Eğitim Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalında
Yüksek Lisans Tezi
Olarak Hazırlanmıştır**

**KARABÜK
Haziran 2024**

Burhan HÜKÜMEN tarafından hazırlanan “GENİŞ GİRİŞ GERİLİMİ ARALIKLI SOLAR MİKRO-EVİRİCİ TASARIMI VE UYGULAMASI” başlıklı bu tezin Yüksek Lisans Tezi olarak uygun olduğunu onaylarım.

Doç. Dr. Mustafa GÖKDAĞ

.....

Tez Danışmanı, Elektrik-Elektronik Mühendisliği Anabilim Dalı

Bu çalışma, jürimiz tarafından Oy Birliği ile Elektrik-Elektronik Mühendisliği Anabilim Dalında Yüksek Lisans tezi olarak kabul edilmiştir. 07/06/2024

Ünvanı, Adı SOYADI (Kurumu)

İmzası

Başkan : Doç. Dr. Ozan GÜLBUDAK (KBÜ)

.....

Üye : Doç. Dr. Mustafa GÖKDAĞ (KBÜ)

.....

Üye : Dr. Öğr. Üyesi Recep ÇAKMAK (SAMÜ)

.....

KBÜ Lisansüstü Eğitim Enstitüsü Yönetim Kurulu, bu tez ile, Yüksek Lisans derecesini onamıştır.

Doç. Dr. Zeynep Özcan

.....

Lisansüstü Eğitim Enstitüsü Müdürü



“Bu tezdeki tüm bilgilerin akademik kurallara ve etik ilkelere uygun olarak elde edildiğini ve sunulduğunu; ayrıca bu kuralların ve ilkelerin gerektirdiği şekilde, bu çalışmadan kaynaklanmayan bütün atıfları yaptığımı beyan ederim.”

Burhan HÜKÜMEN

ÖZET

Yüksek Lisans Tezi

GENİŞ GİRİŞ GERİLİMİ ARALIKLI SOLAR MİKRO-EVİRİCİ TASARIMI VE UYGULAMASI

Burhan HÜKÜMEN

Karabük Üniversitesi

Lisansüstü Eğitim Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışmanlar:

Doç. Dr. Üyesi Mustafa GÖKDAĞ

Haziran 2024, 137 sayfa

Tez çalışması kapsamında yenilenebilir enerji kaynaklarında kullanılmak üzere geniş bir besleme gerilimi aralığında çalışabilen DA-DA çevirici ile desteklenmiş iki aşamalı ve 500 W gücünde bir mikro evirici çalışması yapılmıştır. Çalışma kapsamında öncelikle 16 V – 90 V aralığındaki giriş gerilimlerinde DA bara gerilimini 400 V'a kadar yükselterek evirici birimini besleyebilen izoleli cuk topolojisi temelli DA-DA yükseltici çevirici maksimum güç noktası takibi (MGNT) birimi tasarlanmıştır. Ardından tam köprü evirici ile kritik sönümlmeli LC filtre tasarımı ve modellenmesini takiben dijital bir D-Q eksenli akım kontrolcüsü ve şebeke senkronizasyonu algoritmaları tasarlanmıştır. Kontrol sistemlerinin tasarımı kapsamında çevirici ve eviricinin durum-uzay modelleri çıkarılmıştır. Bu modeller üzerinden elde edilen transfer fonksiyonları dikkate alınarak kompensatör tasarımları yapılmıştır. Şebeke senkronizasyonu kısmında ise faz kilitlemeli döngü (FKD) algoritması frekans kilitlemeli döngü (FrKD) ile desteklenerek mikro eviricinin hem

farklı şebeke frekanslarında çalışma yeteneği kazanması sağlanmış hem de şebeke frekansında oluşabilecek küçük sapmalara sistemin bağışıklı olabilmesine olanak tanınmıştır. Yapılan tasarımların PSIM programı aracılığı ile gereklenmiştir. Ardından prototipleme işlemleri gerekleştirilmiş ve pasif yük üzerinde AA akım sentezleme deneyleri yapılmıştır. Prototipleme esnasında yüksek frekans trafolarının ve filtre bobinlerinin tasarımının yanı sıra prototipe özel olarak izoleli kapı sürücü ve izoleli ölçüm devreleri de tasarlanmıştır. Simülasyon ve deney çalışmaları kapsamında mikro eviricinin deęişen çalışma koşullarına karşı gösterdiği cevaplar incelenmiş sistemin kontrol performansı analiz edilmiş ve kontrolörlerin tasarlanan hızlarda ve yüksek kararlılıkta çalıştığı gözlemlenmiştir. Verim ve güç kalitesi ölçümlerinde ise mikro-evirici sistemin %87 maksimum verim seviyesine çıktığı gözlemlenirken doğrusal olmayan yükler altında bile IEC 61000-3-2 Class A güç kalitesi standardına uygun çalıştığı gözlemlenmiştir.

Anahtar Sözcükler : Mikro-evirici, Maksimum Güç Noktası Takibi, İzoleli Cuk Çevirici, D-Q Akım Kontrolü, Faz Kilitlemeli Döngü, Filtre Tasarımı

Bilim Kodu : 90522

ABSTRACT

M. Sc. Thesis

WIDE INPUT VOLTAGE RANGE SOLAR MICRO-INVERTER DESIGN AND APPLICATION

Burhan HÜKÜMEN

Karabük University

Institute of Graduate Programs

Department of Electrical-Electronics Engineering

Thesis Advisors:

Assoc. Prof. Dr. Mustafa GÖKDAĞ

June 2024, 137 pages

In this thesis, a two-stage microinverter supported by a DC-DC converter that can operate in a wide supply voltage range has been studied for renewable energy sources. Through the study a isolated cuk topology based DC-DC boost converter maximum power point tracking (MGNT) unit, which is going to feed the inverter unit by increasing the DC bus voltage up to 400 V at input voltages between 16 V - 90 V, has been designed. Then, following the design and modeling of the full bridge inverter and critical damping LC filter, a digital D-Q axis current controller and grid synchronization algorithms have been designed. Within the scope of the design of control systems, state-space models of the converter and inverter have been derived. Compensator designs have been made by taking into account the transfer functions obtained from these models. In the grid synchronization section, the phase locked loop (PLL) algorithm has been supported by the frequency locked loop (FLL), enabling the microinverter to gain the ability to operate at different grid frequencies and allowing

the system to be immune to small deviations that may occur in the grid frequency. The designs have been realized through the PSIM program and experiments were carried out through prototyping. During prototyping process, beside the high frequency transformers and filter coils, insulated gate driver and isolated measurement circuits have also been designed specifically for the prototype. Through the simulation and experimental studies, the responses of the microinverter to changing operating conditions have been examined, the control performance of the system has been analyzed and it has been observed that the controllers worked at designed speeds and with high stability. In efficiency and power quality measurements, it has been observed that the micro-inverter system reached 90% maximum efficiency level, and it worked in compliance with the IEC 61000-3-2 Class A power quality standard even under non-linear loads.

Key Word : Micro-inverter, Maximum Power Point Tracker, Isolated Cuk Converter, D-Q Current Control, Phase Locked Loop, Filter Design

Science Code : 90522

TEŞEKKÜR

Bu tez çalışmasının planlanmasında, araştırılmasında, yürütülmesinde ve oluşumunda ilgi ve desteğini esirgemeyen, engin bilgi ve tecrübelerinden yararlandığım, yönlendirme ve bilgilendirmeleriyle çalışmamı bilimsel temeller ışığında şekillendiren sayın hocam Doç. Dr. Mustafa GÖKDAĞ’a sonsuz teşekkürlerimi sunarım.

Ayrıca eğitim hayatım boyunca beni destekleyen ve hep arkamda duran annem, babam ve abime teşekkür ederim.

İÇİNDEKİLER

Sayfa

KABUL	ii
ÖZET.....	iv
ABSTRACT.....	vi
TEŞEKKÜR.....	viii
İÇİNDEKİLER	ix
ŞEKİLLER DİZİNİ.....	xii
ÇİZELGELER DİZİNİ	xviii
SİMGELER VE KISALTMALAR DİZİNİ	xix
BÖLÜM 1	1
GİRİŞ	1
1.1. YENİLNEBİLİR ENERJİ KAYNAKLARI VE MİKRO EVİRİCİLER	1
1.1.1. Mikro Evirici Topolojileri	3
1.1.2. DA-DA Yükseltici Topolojileri.....	9
1.1.3. Evirici Kontrol Teknikleri	12
1.1.4. Şebeke Senkronizasyonu	19
1.2. TEZİN AMACI VE KAPSAMI.....	21
1.2.1. Amaç.....	21
1.2.2. Ana Hatlar.....	22
1.2.3. Yayınlar	22
BÖLÜM 2	24
MİKRO-EVİRİCİNİN TASARIMI	24
2.1. İZOLELİ CUK ÇEVİRİCİNİN TASARLANMASI VE MODELLENMESİ	24
2.1.1. İzoleli Cuk Çevirici Pasif Bileşenlerin Hesaplanması	27
2.1.2. İzoleli Cuk Çeviricinin Durum-Uzay Modelinin Elde Edilmesi.....	31

2.1.3. Güneş Paneli ile MGNİ için <i>vPvd</i> Transfer Fonksiyonunun Elde Edilmesi ve Kompansatör Tasarımı.....	35
2.1.4. Batarya ve DA Gerilim Kaynağı ile Çalışma için <i>vDAd</i> Transfer Fonksiyonunun Elde Edilmesi ve Kompansatör Tasarımı	38
2.2. İZOLELİ CUK ÇEVİRİCİ KAPALI ÇEVİRİM KONTROL SİMÜLASYONUNU	39
2.2.1. Doğrusal Güç Kaynağında Tip-2 Kompansatör ile İzoleli Cuk Çeviricinin DC gerilim kaynağı girişli durum için Kapalı Çevrim Kontrol Simülasyonu	43
2.2.2. Güneş Panelinde K&G MGNİ Algoritması ile İzoleli Cuk Çeviricinin Kontrol Simülasyonu	47
2.3. EVİRİCİNİN MODELLENMESİ, FAZ KİLİTLİ DÖNGÜ VE D-Q AKIM KONTROL CÜSÜNÜN TASARIMI	48
2.3.1. Eviricinin Durum-Uzay Modelinin elde Edilmesi	49
2.3.2. Evirici Diferansiyel LC Filtre Tasarımı	54
2.3.3. İkinci Dereceden Genel İntegral Alıcının Tasarımı	57
2.3.4. D-Q Akım Kontrol Tasarımı.....	64
2.4. ŞEBEKE BAĞLI EVİRİCİ D-Q AKIM KONTROL SİMÜLASYONU	68
2.4.1. Şebeke Bağlı Doğrusal Yük Besleme D-Q Akım Kontrol PSIM Simülasyonu	70
2.4.2. Şebeke Bağlı Doğrusal Olmayan Yük Besleme D-Q Akım Kontrol PSIM Simülasyonu	72
2.4.3. Harmonik Etki Altındaki Şebekede D-Q akım Kontrolü PSIM Simülasyonu	74
2.4.4. Şebekeden Bağımsız Doğrusal Yük Beslemede D-Q Akım Kontrol PSIM Simülasyonu	78
2.5. MİKRO-EVİRİCİ PSIM SİMÜLASYONU	79
BÖLÜM 3	89
MANYETİK MALZEMELERİN ÜRETİLMESİ VE PROTOTİPLEME	89
3.1. MANYETİK MALZEMELERİN TASARIMI VE ÜRETİMİ	89
3.1.1. Çevirici Manyetik Malzemelerinin Tasarımı ve Üretimi.....	89
3.1.1.1. Giriş ve Çıkış Bobinlerinin Tasarımı ve Üretimi.....	91

3.1.1.2. İzoleli Cuk Kuplajlı Bobinin Tasarımı ve Üretimi	95
3.1.2. Evirici Manyetik Malzemelerinin Tasarımı ve Üretimi.....	99
3.2. PROTOTİPİN OLUŞTURULMASI.....	100
3.2.1. İzoleli Cuk Çeviricinin Prototiplemesi	100
3.2.2. Tam Köprü Eviricinin Prototiplemesi.....	106
 BÖLÜM 4	 112
DENEY SONUÇLARI	112
4.1. ÖLÇÜM CİHAZLARI VE ÖLÇÜM DOĞRULUĞU.....	113
4.2. İZOLELİ CUK ÇEVİRİCİ.....	113
4.3. FKD ve FrKD ALGORİTMALARI	117
4.4. MİKRO EVİRİCİ DENEYLERİ	120
 BÖLÜM 5	 125
SONUÇLAR	125
 KAYNAKLAR	 127
 ÖZGEÇMİŞ	 137

ŞEKİLLER DİZİNİ

Sayfa

Şekil 1.1. Tipik bir mikro evirici Güç Topolojisi.....	2
Şekil 1.2. Güneş enerjisi sistemlerinde kullanılan evirici sistemleri, (a) merkezi eviricili sistem, (b) dizi eviricili sitem, (c) DA optimizerli dizi eviricili sistem ve (d) mikro evirici sistem	4
Şekil 1.3. Mikro evirici yapıları (a) Tek aşamalı mikro evirici güç katı devre şeması Kumar et al. [25] ve (b) iki aşamalı mikro evirici güç katı devre şeması Kim et al. [24].....	6
Şekil 1.4. Park Clarke Dönüşümlerinin görselleştirilmesi Vatansever et al. [60]	13
Şekil 1.5. D-Q eksen akım kontrolcüsü blok diyagramı Roshan et al. [57].....	14
Şekil 1.6. D-Q eksen akım kontrolü (a) güç katı ve kontrol akış şeması ve (b) D-Q akım kontrol blok diyagramı Ebrahimi et al. [61]	14
Şekil 1.7. Çok değişkenli ileri gerilim beslemeli D-Q akım kontrolcüsü blok diyagramı Bahrani et al. [62]	15
Şekil 1.8. Bobin akım durumu geri beslemeli D-Q akım kontrolcüsü blok diyagramı Zhou et al. [63]	15
Şekil 1.9. Kaskad D-Q eksen akım ve gerilim kontrolcüsü tasarımı Ramezani et al. [64]	16
Şekil 1.10. Mikro evirici MGNİ ve D-Q akım kontrolü entegrasyonu güç ve kontrol şemaları Öztürk et al. [65]	17
Şekil 1.11. Mikro evirici SİİM modu ve MGNİ temelli akım kontrolü sağlayan kontrol ve güç devre şeması Zhang et al. [66]	17
Şekil 1.12. Tepe akım modu kontrollü mikro evirici uygulaması kontrol şeması Suresh et al. [67].....	18
Şekil 1.13. Üç fazlı mikro evirici D-Q akım kontrolü ve MGNİ uygulamasına ilişkin kontrol ve güç devre şeması Chen et al. [69]	19
Şekil 1.14. İkinci dereceden integral alıcı ve faz kilitlemeli döngü blok diyagramı .	21
Şekil 2.1. İzoleli çuk çevirici manyetizasyon indüktansı sürekli iletim modunda ve denge durumunda iken (a) devre üzerindeki akım-gerilim ifadeleri ve (b) çalışma aralıklarında akım-gerilim eğrileri	26
Şekil 2.2. CKİ'nin farklı sarım oranları için çeviricinin gerilim kazancı eğrileri.....	27
Şekil 2.3. Bobin akım çalışma modları, (a) sürekli iletim modu ve (b) kesikli iletim modu	29
Şekil 2.4. İzoleli çuk çeviriciye ait anahtar iletimde iken akım gerilim ifadeleri	31

Şekil 2.5. İzoleli cuk çeviriciye ait anahtar keismde iken akım gerirlim ifadeleri.....	32
Şekil 2.6. İCÇ için panel bağlı çalışmada kullanılmak üzere oluşturulan K&G MGNT ve Tip II kompensatör blok diyagramı	36
Şekil 2.7. İzoleli cuk çeviricinin görev döngüsünden panel gerilimine kompanze edilmemiş ve kompanze edilmiş çevrim fonksiyonu frekans cevapları	37
Şekil 2.8. İzoleli cuk çeviricinin görev döngüsünden DA bara gerilimine kompanze edilmemiş ve kompanze edilmiş çevrim fonksiyonu frekans cevapları	39
Şekil 2.9. İzoleli Cuk Çevirici PSIM Simülasyonu Güç ve Kontrol Devre Şeması ..	40
Şekil 2.10. İzoleli cuk çevirici tam yükte iken (a) güç anahtarı üzerindeki gerilim, (b) güç anahtarından akan akım, (c) giriş bobinin akımı ve (d) orta-giriş kapasitörünün gerilimi.	41
Şekil 2.11. İzoleli cuk çevirici tam yükte iken (a) diyot üzerindeki gerilim, (b) diyot üzerinden akan akım, (c) çıkış bobinin akımı ve (d) orta-çıkış kapasitörünün gerilimi.	42
Şekil 2.12. İzoleli cuk çevirici tam yükte iken (a) trafonun primer gerilimi, (b) trafonun primer akımı, (c) trafonun sekonder akımı ve (d) trafo manyetizasyon akımı.	43
Şekil 2.13. İzoleli cuk çevirici %80'den %100'e yük değişimi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.	44
Şekil 2.14. İzoleli cuk çevirici %100'den %80'e yük değişimi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.	45
Şekil 2.15. İzoleli cuk çevirici giriş geriliminin düşmesi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.	46
Şekil 2.16. İzoleli cuk çevirici giriş geriliminin artması esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.	46
Şekil 2.17. İCÇ güneş paneli bağlı çalışmada düşen ışıma şiddeti için K&G MGNT algoritması tepkisi (a) çıkış gerilimi, (b) panel gerilimi, (c) panel akımı ve (d) ışıma yoğunluğu.....	47
Şekil 2.18. İCÇ güneş paneli bağlı çalışmada artan ışıma şiddeti için K&G MGNT algoritması tepkisi (a) çıkış gerilimi, (b) panel gerilimi, (c) panel akımı ve (d) ışıma yoğunluğu.....	48
Şekil 2.19. LC filtreleri tam köprü evirici güç katı devre şeması	49
Şekil 2.20. LC filtreli tam köprü evirici eşdeğer devresinin oluşturulması	50
Şekil 2.21. LC filtreli tam köprü eviricinin blok diyagramı	50
Şekil 2.22. Tam köprü eviricinin reel ve imajiner kısımları ile modellenmesi.....	51
Şekil 2.23. LC filtreli tam köprü çeviricinin güç katına ilişkin D-Q düzlemine aktarılmış eşdeğer devre şeması	52
Şekil 2.24. Tam köprü evirici diferansiyel mod kritik sönümlü LC filtresi devre şeması	54
Şekil 2.25. Sönümlenmiş ve sönümlenmemiş diferansiyel LC filtre tasarımları için karşılaştırmalı bode analizi.....	56

Şekil 2.26. Faz kilitlemeli döngü ve frekans kilitlemeli döngülü ikinci dereceden genel integral alıcı blok diyagramı.....	57
Şekil 2.27. İkinci dereceden genel integral alıcı H_d (bant geçiren filtre) bode diyagramı	58
Şekil 2.28. İkinci dereceden genel integral alıcı H_q (faz kaydırıcı) bode diyagramı .	59
Şekil 2.29. İkinci dereceden genel integral alıcı faz kilitlenmeli döngü bode diyagramı	60
Şekil 2.30. İDGİA algoritmasının temel frekansta (50 Hz) dijital gerçekleşmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.....	61
Şekil 2.31. İDGİA algoritmasının 5. harmonik etkisi altında dijital gerçekleşmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.....	62
Şekil 2.32. İDGİA algoritmasının 9. harmonik etkisi altında dijital gerçekleşmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.....	62
Şekil 2.33. Tasarlanan ikinci dereceden genel integral alıcı dijital temelli simülasyonunun faz açısı ve frekans takip performansına ilişkin (a) şebeke gerilimi, (b) İDGİA tarafından üretilen alpha-beta gerilim ifadeleri ve faz kaydırma işlemi, (c) faz açısına kilitlenme ve 360 derecelik faz takibi, ve (d) şebekeden ölçülen frekansın takibi.....	64
Şekil 2.34. D-Q akım kontrollü şebeke bağlı tam köprü inverter kontrol şeması.....	65
Şekil 2.35. Evirici filtre devresinin sadeleştirilmesi	66
Şekil 2.36. D-Q ekseninde modellenmiş evirici geriliminden bobin akımına transfer fonksiyonunun açık çevrim kompanze edilmemiş ve kompanze edilmiş bode analizleri.....	68
Şekil 2.37. Dijital D-Q akım kontrollü tam köprü evirici PSIM simülasyon şeması	69
Şekil 2.38. PSIM dijital D-Q kontrol için C bloğunun ve örnekleme süresinin oluşturulması	69
Şekil 2.39. Şebeke bağlı çalışmada D-Q akım kontrolü (a) şebeke gerilimi ve (b) kontrolcüye verilen akım genlik referansı ile şebekeye enjekte edilen evirici akımı	70
Şekil 2.40. Şebeke bağlı çalışmada doğrusal yükte D-Q akım kontrolü (a) şebekeye enjekte edilen akım, (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması, (c) şebekeye enjekte edilen akımın Alpha-Beta bileşenleri formunda ifadesi ve ortogonal dalga üretimi	71
Şekil 2.41. Şebeke bağlı lineer yük beslemede D-Q kontrollü akım enjeksiyonunun FFT ve harmonik analizi	72
Şekil 2.42. Doğrusal olmayan yüklerin testi için kurulan simülasyon devresinin güç katı	73

Şekil 2.43. Şebeke bağlı çalışmada indüktif yükte D-Q akım kontrolü (a) evirici çıkış akımı, şebekeden yüke aktarılan akım ve yük akımı (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması	73
Şekil 2.44. Şebeke bağlı çalışmada kapasitif yükte D-Q akım kontrolü (a) evirici çıkış akımı, şebekeden yüke aktarılan akım ve yük akımı (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması	74
Şekil 2.45. Şebekede 5. Harmonik etkisi için D-Q akım kontrolü simülasyonu (a) akım referansı ve D-Q eksen akım grafikleri, (b) evirici akımı ve (c) şebeke gerilimi	75
Şekil 2.46. 5. Harmonik etkisi altındaki şebekeye enjekte edilen evirici akımının FFT analizi	76
Şekil 2.47. Şebekede 7. Harmonik etkisi için D-Q akım kontrolü simülasyonu (a) akım referansı ve D-Q eksen akım grafikleri, (b) evirici akımı ve (c) şebeke gerilimi	76
Şekil 2.48. 7. Harmonik etkisi altındaki şebekeye enjekte edilen evirici akımının FFT analizi	77
Şekil 2.49. Şebekeden bağımsız çalışmada rezistif yükte D-Q akım kontrolü (a) şebekeye enjekte edilen akım, (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması, (c) şebekeye enjekte edilen akımın Alpha-Beta formunda ifadesi bileşenleri ve ortogonal dalga üretimi	79
Şekil 2.50. D-Q kontrol ve MGNİ algoritmali mikro evirici kontrol şeması.....	80
Şekil 2.51. Mikro-evirici için MGNİ algoritması ve D-Q akım kontrolü devre şeması	81
Şekil 2.52. Mikro-evirici sistemin ısıma değişimlerine karşı kontrol cevabının ölçülmesi (a) ısıma şiddetinin 600 W/m ² 'den 400 W/m ² 'ye düşmesi durumu ve (b) ısıma şiddetinin 400 W/m ² 'den 600 W/m ² 'ye çıkması durumu.....	82
Şekil 2.53. Mikro-evirici sistemin (400 W/m ² 'den 600W/m ² 'ye) artan ısıma şiddetinde şebekeye enjekte edilen akıma karşılık MGNT parametreleri (a) ısıma yoğunluğu, (b) DA bara gerilimi, (c) çevirici görev döngüsü oranı ve (d) şebekeye enjekte edilen akım	83
Şekil 2.54. Mikro-evirici simülasyonu şebeke akımı FFT analizi ve harmonik bozunum ölçümü	84
Şekil 2.55. Mikro-evirici simülasyonunda ısıma değişimi ve şebekeye enjekte edilen akım değişimine karşılık güç faktörünün değişiminin gözlemlenmesi (a) şebeke gerilimi, (b) şebeke akımı ve (c) güç faktörü	84
Şekil 2.56. Mikro-evirici sistemin (1000 W/m ² 'den 200 W/m ² 'ye) azalan ısıma şiddetinde şebekeye enjekte edilen akım değerinin kontrolüne ilişkin (a) şebeke akımı, (b) panel gerilimi ve panel akımı ve (c) DA bara gerilimi. 85	
Şekil 2.57. Mikro-evirici sistemin (1000 W/m ² 'den 200W/m ² 'ye) azalan ısıma şiddetinde şebekeye enjekte edilen akıma karşılık MGNT parametreleri (a)	

ışırma yoęunluęu, (b) DA bara gerilimi, (c) evirici grev dngs oranı ve (d) řebekeye enjekte edilen akım.....	86
řekil 2.58. 16V-30V aralıęında MGNT yapan mikro evirici verim eęrisi	87
řekil 2.59. 30V-60V aralıęında MGNT yapan mikro evirici verim eęrisi	87
řekil 2.60. 60V-90V aralıęında MGNT yapan mikro evirici verim eęrisi	88
řekil 3.1. Ferrit nvelere iliřkin kayıp ve alıřma frekansı eęirleri (a) N87 ferrit nvler iin ve (b) N97 ferrit nvler iin	90
řekil 3.2. N87 Ferrit Nve B-H eęrisi	91
řekil 3.3. a-) Hava aralıksız ferrit nve ve manyetik akı yolu, b-) Hava aralıklı ferrit nve manyetik akı yolu, c-) hava aralıksız, hava aralıklı ve hava sarımlı bobin iin B-H eęrisi, L-I eęrisi, I-H eęrisi ve ϕ -H eęrisi.....	94
řekil 3.4. Trafonun sargıları boyunca oluřan MMK ve nve penceresinde oluřan sızıntı akısı.....	96
řekil 3.5. Farklı trafo sarım yntemleri ile sızıntı akısının genlięinin dřrlmesi, a-) klasik trafo sarım yntemi, b-) sekonderin primer sargısının iki eřit yarısının arasına sarıldıęı yntem ve c-) iki eřit paraya ayrılmıř sekonder sargılarının primer sargıları arasına sarılması.....	97
řekil 3.6. ETD3411-N97 nvesine sarılan Cuk kuplajlı indktr	99
řekil 3.7. İzoleli cuk evirici g katı devre řeması	101
řekil 3.8. İzoleli panel gerilimi lme devre řeması	101
řekil 3.9. İzoleli DA bara gerilimi lme devre řeması	102
řekil 3.10. İzoleli Cuk evirici kontrol ve lm katı izoleli besleme gerilim reglatrleri devre řeması.....	102
řekil 3.11. Hall sensrl izoleli panel akımı lm devre řeması.....	103
řekil 3.12. İzoleli cuk evirici, optik izolasyonlu MOSFET kapı src devresi ...	104
řekil 3.13. İzoleli Cuk evirici baskı devresi.....	105
řekil 3.14. İzoleli cuk evirici prototiplenmiř baskı devresi (a) baskı devre st tarafı ve (b) baskı devre alt tarafı	106
řekil 3.15. Tam kpr evirici g katı devre řeması	106
řekil 3.16. Mikro evirici iin tasarlanan ařırđ ve dřk akım gerilim koruma algoritması akıř řeması.....	107
řekil 3.17. Hall sensrl izoleli evirici ıkıř akımı lm devre řeması.....	108
řekil 3.18. İzoleli tam diferansiyel řebeke gerilimi lm devre řeması	108
řekil 3.19. Tam kpr evirici baskı devresi.....	109
řekil 3.20. Tam kpr evirici prototiplenmiř baskı devresi (a) baskı devre st tarafı ve (b) baskı devre alt tarafı.....	110
řekil 3.21. İzoleli tam kpr bootstrap kapı src devre řeması.....	111
řekil 3.22. İzoleli tam kpr bootstrap kapı src devre řeması.....	111

Şekil 4.1. Mikro-evirici deney düzeneği	112
Şekil 4.2. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), MOSFET akım ifadesi (Kanal: 1 Mavi) ve MOSFET d-s gerilimi (Kanal: 2 Kırmızı) osiloskop ölçümleri	114
Şekil 4.3. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), çıkış bobini akımı (Kanal:1 Mavi) ve diyot gerilimi (Kanal:2 Kırmızı) osiloskop görüntüsü	115
Şekil 4.4. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), giriş akımı (Kanal: 1 Mavi) ve çıkış gerilimi (Kanal: 2 Kırmızı) osiloskop görüntüsü	115
Şekil 4.5. İzoleli cuk çeviriciye ait DA bara gerilimi kontrol deneyi osiloskop görüntüsü giriş gerilimi (Kanal:3 Yeşil), giriş akımı (Kanal: 1 Mavi) ve çıkış gerilimi (Kanal: 2 Kırmızı).....	116
Şekil 4.6. İCÇ DA bara Tip-2 Kompansatörü kontrol performansı deneyleri a-) giriş voltajının 30V'tan 38V'a çıkması, b-) giriş voltajının 38V'den 30V'a düşmesi, c-) yüklenmenin %40'tan %75'e çıkması ve d-) yüklenmenin %75'ten %40'a düşmesi. (Tüm grafikler için CH1 Giriş Akımı, CH2 Çıkış Gerilimi ve CH3 Giriş Gerilimi)	117
Şekil 4.7. D-Q akım kontrolörü faz kilitli döngü deneyi osiloskop görüntüsü beta gerilimi (kanal: 1 Mavi), alfa gerilimi (Kanal: 2 Kırmızı) ve radyan cinsinden anlık faz konumu takibi (Kanal:3 Yeşil).....	118
Şekil 4.8. D-Q akım kontrol algoritması frekans kilitli döngü çalıştırma deneyi (a) 50 Hz'den 60 Hz'e geçiş ölçümleri ve (b) 60 Hz'den 50 Hz'e geçiş ölçümleri(beta gerilimi (kanal: 1 Mavi), alfa gerilimi (Kanal: 2 Kırmızı) ve radyan cinsinden anlık faz konumu takibi (Kanal:3 Yeşil)).....	119
Şekil 4.9. Tam köprü evirici PWM sinyallerinin ölçülmesi (a) dört kanal tümleyen DGM sinyali ölçümü ve (b) sinüs referansı ile dört kanal DGM'nin karşılaştırılması (TIM1 CH1 (Kanal: 1 Mavi), TIM1 CH1N (Kanal: 2 Kırmızı), TIM1 CH2 (Kanal: 3 Yeşil) ve TIM1 CH2N (Kanal: 4 Turuncu))	120
Şekil 4.10. Evirici akımı D-Q akım kontrol performansı ölçümü.....	121
Şekil 4.11. Direnç yükünde ani akım enjeksiyonu başlatma deneyi ölçüm sonuçları evirici akımı (Kanal: 1 Mavi) ve DA bara gerilimi (Kanal: 2 Kırmızı) ..	122
Şekil 4.12. Mikro-evirici direnç yükünde değişen akım referansı yakalama deneyi: evirici akımı (Kanal: 1 Mavi) ve DA bara gerilimi (Kanal: 2 Kırmızı) ..	123
Şekil 4.13. Mikro evirici deneysel verim eğrisi	124

ÇİZELGELER DİZİNİ

Sayfa

Çizelge 1.1. Mikro Evirici Topolojilerinin Karşılaştırılması	7
Çizelge 1.2. Güneş Paneli Uygulamaları için DA-DA Yükseltici Çevirici Topolojilerinin Karşılaştırılması	11
Çizelge 2.1. İzoleli Cuk Çevirici Çalışma Koşulları.....	28
Çizelge 2.2. İzoleli Cuk Çevirici Bileşen Parametreleri	35
Çizelge 2.3. $VPVd(s)$ için Tip 2 Kompansatör Parametreleri.....	37
Çizelge 2.4. $VDAd(s)$ için Tip 2 Kompansatör Parametreleri	39
Çizelge 2.5. Farklı Sönümleme yöntemleri için katsayı ve parametre değerleri	55
Çizelge 2.6. Tam köprü evirici sönümlü diferansiyel LC filtre değerleri.....	56
Çizelge 2.7. Eviricinin doğrusal şebeke harmoniklerinde test edilen nominal akımının harmonik analizi tablosu.....	78
Çizelge 3.1. EE3209-N87 Epcos TDK Electronics Ferrit Nüve Parametreleri	91
Çizelge 3.2. EE2507-N87 Epcos TDK Electronics Ferrit Nüve Parametreleri	92
Çizelge 3.3. ETD3411-N97 Epcos TDK Electronics Ferrit Nüve Parametreleri	98
Çizelge 4.1. Deneylerde kullanılan test ve ölçüm cihazları	113

SİMGELER VE KISALTMALAR DİZİNİ

SİMGELER

a_1	: LC filtre tasarımı birinci katsayısı
a_2	: LC filtre tasarımı ikinci katsayısı
A_1	: Anahtar iletimde için durum uzay modeli durum matrisi
A_2	: Anahtar kesimde için durum uzay modeli durum matrisi
A_e	: Nüve etkin kesit alanı
A_w	: Nüve pencere alanı
b_2	: LC filtre tasarımı üçüncü katsayısı
B_1	: Anahtar kesimde için durum uzay modeli giriş vektörü
B_2	: Anahtar kesimde için durum uzay modeli giriş vektörü
C_1	: İzoleli cuk çevirici giriş kapasitörü
C_2	: İzoleli cuk çevirici orta-giriş kapasitörü
C_3	: İzoleli cuk çevirici orta-çıkış kapasitörü
C_4	: İzoleli cuk çevirici çıkış kapasitörü
C_D	: LC filtre sönümleme kapasitörü
C_f	: LC filtre kapasitörü
D	: Görev Döngüsü
F	: Durum uzay modeli doğrusallaştırılmış giriş katsayı matrisi
f_s	: İzoleli cuk çevirici anahtarlama frekansı
f_p	: Tip II kompensatör kutup frekansı
f_z	: Tip II kompensatör sıfır frekansı
G_m	: Tip II kompensatör kazanç katsayısı
H_d	: İkinci dereceden integral alıcı alçak bant geçiren filtre transfer fonksiyonu
H_q	: İkinci dereceden integral alıcı alçak yüksek geçiren filtre transfer fonksiyonu
i_{C1}	: İzoleli cuk çevirici giriş kapasitörü akımı
i_{C2}	: İzoleli cuk çevirici orta-giriş kapasitörü akımı
i_{C3}	: İzoleli cuk çevirici orta-çıkış kapasitörü akımı

i_{C4}	: İzoleli cuk çevirici çıkış kapasitörü akımı
i_{L1}	: İzoleli cuk çevirici giriş bobini akımı
i_{L2}	: İzoleli cuk çevirici çıkış bobini akımı
i_{Lm}	: İzoleli cuk çevirici manyetizasyon bobini akımı
$I_{\alpha,\beta}$	: α - β eksen akımları
$I_{d,q}$	: D-Q eksen akımları
I_{dref}	: D eksen referans akımı
I_{pV}	: Panel akımı
I_R	: Evirici çıkış reel akımı
I_i	: Evirici çıkış imajiner akımı
I_{tepe}	: Manyetik malzeme sargısı tepe akımı
I_{qref}	: Q eksen referans akımı
J	: Akım yoğunluğu
k	: İzoleli cuk çevirici giriş kapasitörü hesaplama katsayısı
k_i	: PI denetleyici integral kazancı
k_p	: PI denetleyici oransal kazancı
l_e	: Nüve efektif uzunluğu
l_g	: Nüve hava aralığı uzunluğu
L_1	: İzoleli cuk çevirici giriş bobini
L_2	: İzoleli cuk çevirici çıkış bobini
L_m	: İzoleli cuk çevirici trafo manyetizasyon indüktansı
n	: Trafo dönüştürme oranı
n_p	: Primer sarım sayısı
n_s	: Sekonder sarım sayısı
P_g	: Giriş gücü
P_{ϕ}	: Çıkış gücü
$P_{taşıma}$	: Nüve taşıma gücü
r_{C1}	: İzoleli cuk çevirici giriş kapasitörü eşdeğer seri direnci
r_{C2}	: İzoleli cuk çevirici orta-giriş kapasitörü eşdeğer seri direnci
r_{C3}	: İzoleli cuk çevirici orta-çıkış kapasitörü eşdeğer seri direnci
r_{C4}	: İzoleli cuk çevirici çıkış kapasitörü eşdeğer seri direnci
r_{L1}	: İzoleli cuk çevirici giriş bobini eşdeğer seri direnci
r_{L2}	: İzoleli cuk çevirici çıkış bobini eşdeğer seri direnci

r_{Lm}	: İzoleli cuk çevirici manyetizasyon bobini eşdeğer seri direnci
R_D	: LC filtre sönümleme direnci
R_E	: İzoleli cuk çevirici çıkış eşdeğer direnci
R_L	: Yük direnci
S	: Çevirici ana güç anahtarı
$S_{1,3}$	: Evirici üst anahtarları
$S_{2,4}$	: Evirici alt anahtarları
T_s	: Örnekleme zamanı
v_{C1}	: İzoleli cuk çevirici giriş kapasitörü gerilimi
v_{C2}	: İzoleli cuk çevirici orta-giriş kapasitörü gerilimi
v_{C3}	: İzoleli cuk çevirici orta-çıkış kapasitörü gerilimi
v_{C4}	: İzoleli cuk çevirici çıkış kapasitörü gerilimi
v_{L1}	: İzoleli cuk çevirici giriş bobini gerilimi
v_{L2}	: İzoleli cuk çevirici çıkış bobini gerilimi
V_{ab}	: Evirici anahtarlama bacakları arası gerilimi
V_{DA}	: DA bara gerilimi
$V_{\alpha,\beta}$	: α - β eksen gerilimi
$V_{d,q}$	: D-Q eksen gerilimi
V_{PV}	: Panel gerilimi
V_R	: Evirici çıkış reel gerilimi
V_I	: Evirici çıkış imajiner gerilimi
V_g	: Giriş gerilimi
Z	: Evirici yük empedansı
η	: Giriş bobini akım dalgalanma oranı
δ	: Manyetizasyon bobini akım dalgalanma oranı
σ	: Çıkış bobini akım dalgalanma oranı
κ	: Orta-giriş kapasitörü gerilim dalgalanma oranı
χ	: Orta-çıkış kapasitörü gerilim dalgalanma oranı
ΔV_{DA}	: DA bara gerilimi dalgalanma oranı
ΔV_{PV}	: Panel gerilimi dalgalanma oranı
ΔB_{max}	: İzin verilen maksimum manyetik akı yoğunluğu değişimi
μ_r	: Ferrit nüve nağıl manyetik geçirgenliği
φ	: Manyetik akı

KISALTMALAR

DA	: Doğru Akım
AA	: Alternatif Akım
D-Q	: Direct Quadrature (Doğrudan-Dört Zamanlı)
α - β	: Alpha-beta
PI	: Proportional Integral (Oransal Türevsel)
FKD	: Faz Kilitlemeli Döngü
FrKD	: Frekans Kilitlemeli Döngü
CKİ	: Cuk Kuplajlı İndüktörü
EDS	: Eşdeğer Seri Direnç
İDGİA	: İkinci Dereceden Genel İntegral Alıcı
MGNİ	: Maksimum Güç Noktası İzleme
THB	: Toplam Harmonik Bozulma
K&G	: Karıştır ve Gözle (Perturbation and Observation – K&G)
İCÇ	: İzoleli Cuk Çevirici
SİM	: Sürekli İletim Modu
KİM	: Kesikli İletim Modu
SrİM	: Sınır İletim Modu
SiC	: Silisyum Karbit
DGM	: Darbe Genlik Modülasyonu
FFT	: Fast Fourier Transform
YFT	: Yüksek Frekans Trafosu
K&G	: Karıştır ve Gözle
GM	: Kazanç (Gain Margin)
PM	: Faz Kazancı (Phase Margin)

BÖLÜM 1

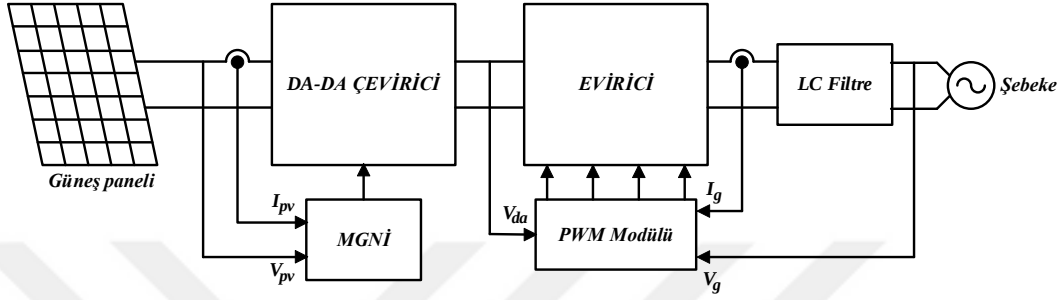
GİRİŞ

1.1. YENİLNEBİLİR ENERJİ KAYNAKLARI VE MİKRO EVİRİCİLER

Karbon temelli enerji kaynaklarının çevremize olan olumsuz etkileri arttıkça, temiz ve yenilenebilir enerji kaynaklarına olan ihtiyaç da daha büyük bir hızla artmaktadır. Yenilenebilir enerji kaynaklarının başında ise güneş enerjisi gelmektedir [1]. Güneş enerjisini elektrik enerjisine çevirmede kullanılan güneş panelleri ise yarı-iletken teknolojisinde meydana gelen teknolojik gelişmeler ile birlikte panel veriminde ciddi ilerlemeler kaydetmeye başlamıştır [2]. Gelişen yarı-iletken teknolojileri ile birlikte güneş panellerindeki ışığın elektrik enerjisine dönüşüm oranı %40'ın üzerine çıkmıştır [3]. Üç fazlı ve tek fazlı şebeke bağlı sistemlerde güneş panelinden hasat edilen elektrik enerjisinin kullanıma sunulduğu evirici uygulamaları üzerine yapılan çalışmalar da giderek yoğunlaşmaktadır [4]. Güneş enerjisi sitemleri büyük ölçekli tesislerde kurulabildiği gibi, küçük ölçekli mikro evirici sistemler de yaygın şekilde ev tipi uygulamalarda kullanılmaya başlanmıştır.

Düşük güçlü mikro evirici uygulamalarında 1 kW altı güç kapasitesine sahip olan güneş panellerinden hasat edilen elektrik enerjisi şebekeye aktarılır. Ancak bu noktada belli teknik gereksinimler ortaya çıkmaktadır. Genellikle piyasada bulunan 500 W civarında güç sağlayabilen güneş panellerinin açık devre gerilimleri dahi tepe değeri 311 V olan 220 VRMS 50 Hz bir şebekeye akım enjekte edebilecek şekilde eviriciyi beslemesi mümkün değildir. Bu nedenle panelden elde edilen gerilimin şebekenin tepe değerinden daha yüksek bir seviyeye yükseltilmesi gerekmektedir [4]. Yükseltme işlemini yapabilmek için DA-DA maksimum güç noktası takip (MGNT) çeviricisi yükseltici tip topolojilerden seçilir. Şekil 1.1'de gösterildiği gibi en genel hali ile MGNT olarak kullanılacak olan bir boost çevirici ile 100V seviyelerindeki düşük panel gerilimi eviriciyi besleyebilecek şekilde 350V-400V seviyelerine kadar

çıkartılır. Ancak 16V-60V gibi çok daha düşük panel gerilimlerinde eviriciyi besleyebilecek bir topoloji kullanmak için daha gelişmiş çevirici topolojileri kullanılır [5]. Bu DA-DA çeviriciler panel gerilimi eviriciyi besleyecek seviyeye yükseltilirken aynı zamanda panelden çekilen gücü maksimize etmek için MGNT algoritmalarına kontrol döngülerinde yer verir.



Şekil 0.1. Tipik bir mikro evirici Güç Topolojisi

Mikro-eviricinin DA-DA çevirici biriminin yanı sıra diğer bir önemli ünitesi de eviricinin bulunduğu DA-AA dönüşümünün yapıldığı birimdir. Evirici topolojilerinde genel olarak tam köprü evirici gibi yaygın kullanılan topolojiler bulunsa da farklı tasarım kriterlerine yönelik olarak geliştirilmiş çeşitli evirici topolojileri de mevcuttur [6]. Mikro eviriciler genellikle bir MGNT ve yükseltici olarak çalışan DA-DA çevirici ile bir DA-AA eviricinin birleşmesinden oluşan iki aşamalı yapıya sahip olsalar da [7], tek aşamalı yapıya sahip olan ve MGNT ile şebekeye güç aktarımının müşterek bir güç katında gerçekleştirildiği topolojiler de mevcuttur [8, 9]. Ancak tek aşamalı çalışan mikro eviriciler reaktif güç kontrolü ve stabilite açısından düşük performansa sahiptirler [10].

Evirici biriminde, topolojinin yanı sıra önem arz eden iki önemli husus daha bulunmaktadır. Bunlardan ilki şebeke senkronizasyonu ve diğeri ise kontrol stratejisidir. Eviricinin şebekedeki faz bilgisine doğru şekilde kilitlenmesi panelden hasat edilen enerjinin sağlıklı şekilde şebekeye aktarılması açısından hayati öneme sahiptir [11]. Hassas bir şebeke senkronizasyonu yapılması, şebekeye aktarılan gücün kalitesinin uluslararası güç standartlarını karşılayacak yeterlilikte olmasına ciddi katkı sağlamaktadır. Mikro eviriciler için kritik önem taşıyan son teknik detay ise eviricinin kontrol tekniğidir. Panelden hasat edilerek DA-DA çevirici yardımıyla yükseltip

şebekeye aktarılmaya hazır hale getirilen gücün sinüzoidal formda AA olarak şebekeye aktarılması esnasında kullanılan kontrol tekniği doğrudan gücün kalitesini ve reaktif güç kontrolü dolayısıyla da verimini etkilemektedir [12].

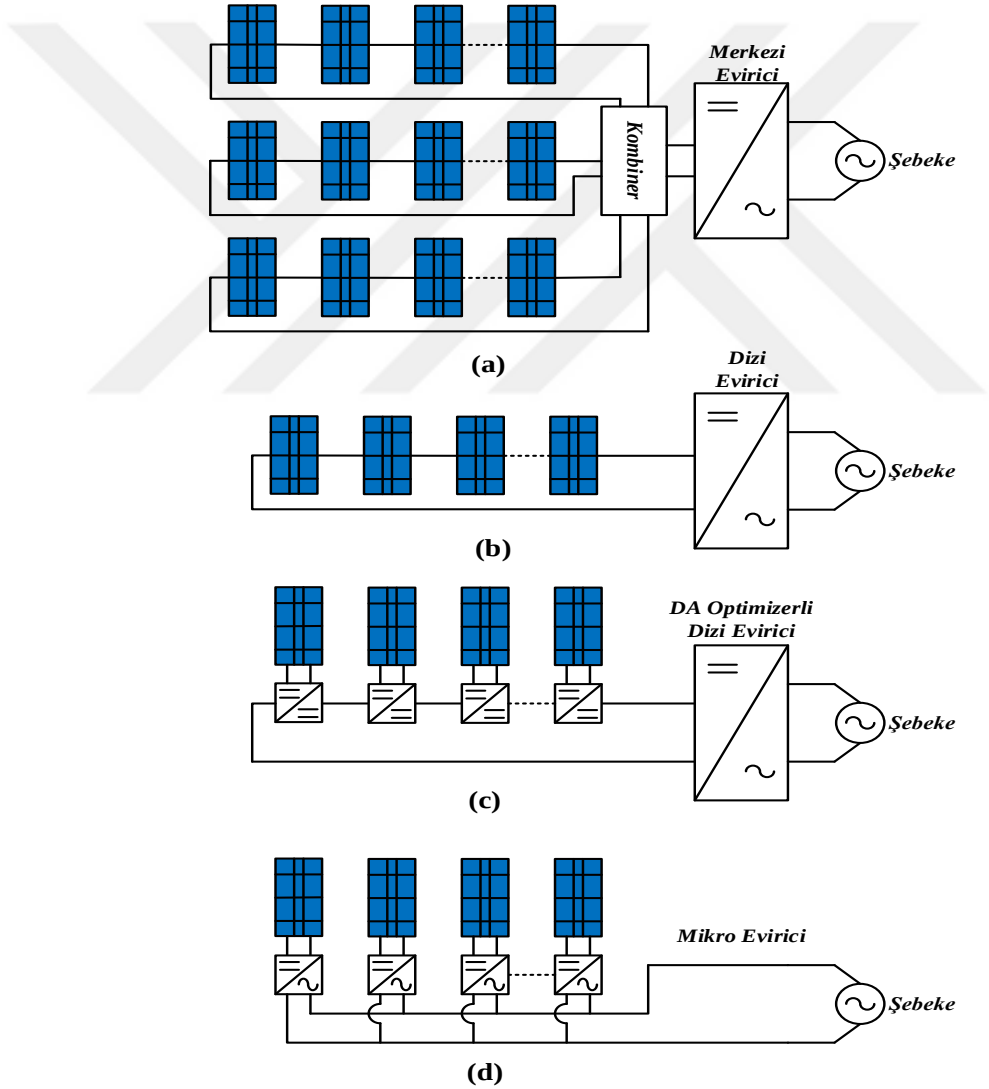
Şebekeye aktarılan gücün kalitesini etkileyen bir diğer önemli husus ise evirici akımının doğru bir şekilde filtrelenmesi gereksinimidir. Diferansiyel mod ve ortak mod filtreler kullanılarak inverter akımının anahtarlama harmoniklerinden ve elektromanyetik gürültülerden arındırılarak sinüzoidal formunun elde edilmesi ve harmonik bozunumun ortadan kaldırılması sağlanır [13].

Bu bölüm kapsamında mikro evirici tasarım kriterleri tanımlanmış ve incelenmesi gereken hususlar başlıklandırılmıştır. İlerleyen kısımlarda da alt başlıklar halinde mikro-evirici tasarımında önem teşkil eden hususların literatür taraması yapılarak hangi tasarım kriterlerinin dikkate alınması gerektiği derinlemesine incelenmiştir. Tez çalışması kapsamında ele alınacak öncelikli öneme sahip hususlar güç kalitesi, harmonik bozunum ve şebeke senkronizasyonu olarak belirlenmiştir. Bu doğrultuda literatürde yapılan çalışmalar karşılaştırmalı olarak incelenmiş ve mikro evirici konusunda çalışmak üzere bir yol haritası çıkarılmıştır.

1.1.1. Mikro Evirici Topolojileri

Şebekeye bağlı fotovoltaik evirici sistemleri merkezi evirici, dizi evirici ve mikro evirici olarak sınıflandırılmaktadır [14]. Güneş enerjisi sistemlerinin yaygınlaşmaya başladığı ilk zamanlarda merkezi evirici prensibine dayanan güneş tarlaları ile güneş enerjisi şebekeye verilmekteydi. Bu sistemler, mega watt seviyelerinde çalışan üç fazlı yüksek gerilim uygulamalarıdır ve büyük boyutları ile karmaşık yapıları nedeniyle evirici arızası durumunda tüm bir sistemin kesintiye uğramasına neden olmaktadır [15, 16]. Merkezi evirici modelinin daha lokal hale getirilmiş bir versiyonu olan dizi eviriciler ise genellikle kilowatt güç aralığındaki güneş sistemlerinde kullanılır. Bu sistemlerde, daha yüksek bir çıkış voltajı elde etmek için PV modülleri seri olarak bağlanır, böylece merkezi eviricinin dezavantajlarından kaçınılır. Hem merkezi eviricilerin hem de dizi eviricilerin temel dezavantajı, dizide yer alan tüm paneller için aynı anda maksimum güç noktasında çalışmanın garanti edilememesidir [17, 18].

Günümüzde güneş paneli seviyesindeki MGNT problemi, güç elektroniği sistemleri olan DA optimize ediciler ile düzenlenmektedir. DA optimizer tabanlı kurulumlarda, tek fazlı şebeke bağlantısı için güneş paneli minimum dizi uzunluğu sayısı 6'dır. DA optimize ediciler çoğunlukla güneş panelleri arasındaki tüm uyumsuzluk kayıplarını ortadan kaldırarak verimliliğin artmasına yardımcı olur. Bununla birlikte DA optimize ediciler de şebekeye bağlanmak için ara birim olarak nihayetinde merkezi bir eviriciye gereksinim duyarlar. Bu nedenle her bir panelin maksimum güç noktasını garanti etmesi, dizideki tek bir panelin arızalanması durumunda mümkün olmayacaktır [19, 20].



Şekil 0.2. Güneş enerji sistemlerinde kullanılan evirici sistemleri, (a) merkezi eviricili sistem, (b) dizi eviricili sistem, (c) DA optimizerli dizi eviricili sistem ve (d) mikro evirici sistem

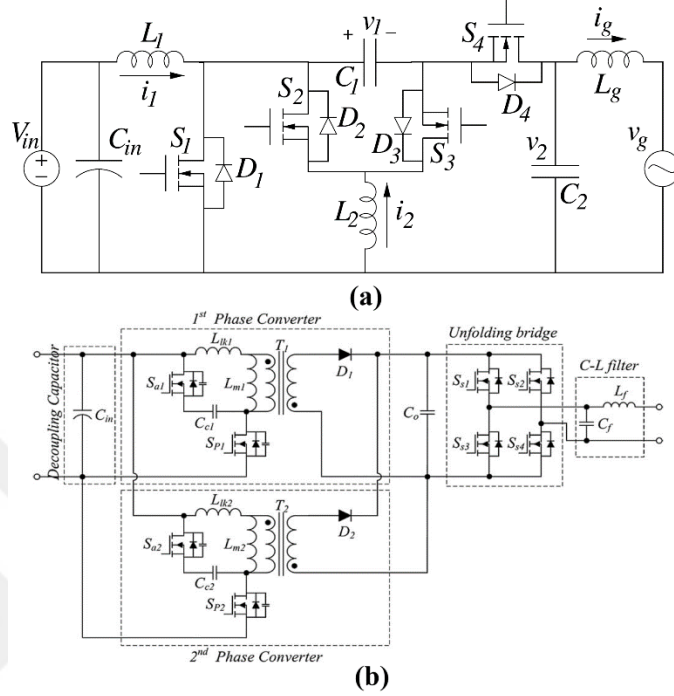
Teknolojinin gelişmesi, yarıiletken malzemelerin ve manyetik malzemelerin küçülmesi ve maliyetlerin azalması ile birlikte her bir panel için ayrı bir eviricinin tasarlanması panellerden sürdürülebilir şekilde mümkün olan en yüksek gücün üretilmesine olanak tanımış ve mikro evirici konsepti ortaya çıkmıştır [21]. Merkezi evirici, dizi evirici, DA optimizierli dizi evirici ve mikro eviriciye konseptine göre güneş enerjisi santrali konfigürasyonları Şekil 1.2’de gösterilmiştir.

Mikro evirici teknolojisinin iki temel avantajı vardır; ilk olarak yüksek maliyetli ve büyük uygulama alanı gerektiren düşük frekanslı güç transformatörlerine olan ihtiyacı ortadan kaldırır ve ikinci olarak bu tip eviriciler güneş panelinin arkasına takılabilecek kadar düşük uygulama alanına sahip olarak kompakt bir tasarım sağlar [22]. Bu sayede panelden enerji hasadı miktarını, sistem verimliliği, esnekliği, modülerliği, güneş panelleri arasındaki uyumsuzluk kayıpları ortadan kalkar. Aynı zamanda mikro evirici teknolojisi kurulum maliyetlerini düşürür, lokal bakım ve onarıma olanak tanıyarak tüm sistemin kesintiye uğramasını önler ve artan talebe göre kolayca genişletilebilir [23].

Bahsedilen avantajlarının yanı sıra mikro eviriciler bir takım tasarım sorunlarını da beraberinde getirmektedirler. Tek bir güneş panelinin açık devre gerilimi dahi 220 V_{RMS} değere sahip şebekeye akım enjekte etmek için yeterli değildir. Güneş paneli düşük güçlerde çalışırken bile şebekeye akım enjekte edilebilmesi için panelden elde edilen geniş bir gerilim aralığının 350-400 V seviyelerine çıkarılması gerekmektedir. Bu amaca yönelik olarak genellikle tek aşamalı veya iki aşamalı bir yükseltici katı mikro eviriciye dahil edilir.

Tek aşamalı mikro evirici güneş panelinin DA gerilimini yükselten, güneş panelinden maksimum gücü çeken ve tek aşamada DA gücünü AA gücüne eviren mikro evirici topolojilerinin genel adıdır, güç dönüşümü tek aşamada gerçekleştirilmektedir. Son yıllarda çeşitli tek aşamalı mikro evirici topolojileri literatürde yer bulmuştur. Çift kademeli mikro eviriciler ise güneş panelinden hasat edilen enerjiyi AA şebekeye iki aşamada aktaran bir mikro evirici tipi olarak tanımlanır. İlk aşamada panelden elde edilen DA güç öncelikle eviriciyi besleyecek seviyeye kadar yükseltilir ve panelin maksimum güç noktasında çalışması sağlanır. İkinci aşamada ise DA-AA dönüşümü

gerçekleştirilerek elde edilen gücün şebekeye aktarılması sağlanır [24]. Tek aşamalı ve iki aşamalı mikro eviricilere ait örnek devre şemaları Şekil 1.3’de verilmiştir.



Şekil 0.3. Mikro evirici yapıları (a) Tek aşamalı mikro evirici güç katı devre şeması Kumar et al. [25] ve (b) iki aşamalı mikro evirici güç katı devre şeması Kim et al. [24]

Tek aşamalı ve iki aşamalı mikro evirici topolojilerinin izoleli ve izolesiz olarak karşılaştırması Çizelge 1.1’de verilmiştir. İlk olarak bu çizelge kapsamında incelenen çalışmalardan Tang et al. [26] bir buck-boost çevirici topolojisi kullanarak tek aşamalı izolesiz 500 W gücünde bir mikro evirici tasarlamıştır. Çalışma kapsamında verimliliğe ve kompaktlığa odaklanılmış olup ileri sürülen topoloji 110 V_{RMS} şebekeye güç aktarmak için tasarlanmıştır. Tasarlanan sistemin gerilim kazancı 220 V_{RMS} şebeke ile çalışabilecek yeterlilikte değildir. Bu durum ciddi bir dezavantaj olarak karşımıza çıkmaktadır. İncelenen ikinci çalışma Jain et al. [27] ise yine izolesiz bir boost tip tek aşamalı 300 W gücünde bir mikro evirici ileri sürmüştür. Bu çalışmada 220 V_{RMS} şebeke geriliminde çalışılmış olmasına karşın tasarlanan mikro evirici daha çok küçük bir dizi evirici olarak tasarlanmış olup, girişine bir güneş paneli dizisi bağlanarak çalışması sağlanmıştır. Bu panel dizisi yardımıyla 90V – 110 V seviyesine getirilen panel gerilimi sayesinde şebekeye akım enjeksiyonu yapılabilmektedir. Bu durum düşük panel gücünde sistemin yetersiz gerilim kazancıyla şebekeye güç aktaramamasına

neden olmaktadır. Tek aşamalı evirici çalışmalarından olan üçüncü çalışmada Kasa et al. [28] tek aşamalı sıfır voltaj geçişli flyback temelli bir izoleli mikro evirici ileri sürmüştür. Bu çalışmada da 110 V şebeke gerilimde çalışılmış ve nominal panel gerilimi 30 V olarak belirlenmiştir. Oldukça düşük bir güç seviyesi için tasarlanan bu mikro eviricide 70 W 'da 84% tepe verimi elde edilmiştir. Tek aşamalı mikro eviricilerin incelenen son örneği olan çalışma Kasa et al. [29]'da yine bir flyback çevirici temelli 300 W gücünde bir mikro evirici tasarlanmıştır. Bu çalışmada da 110 V_{RMS} şebekede çalışılmış olmakla birlikte tek aşamada MGNT algoritmasının yürütülmesi üzerinde yoğunlaşmıştır.

Çizelge 0.1. Mikro Evirici Topolojilerinin Karşılaştırılması

	[26]	[27]	[28]	[29]	[30]	[31]	[32]	[33]
Nominal güç	500 W	300 W	100 W	300 W	210 W	300 W	250 W	300 W
Tip	Tek Aşama	Tek Aşama	Tek Aşama	Tek Aşama	Çift Aşama	Çift Aşama	Çift Aşama	Çift Aşama
Galvanik İzolasyon	Yok	Yok	Var	Var	Var	Var	Yok	Yok
Şebeke Gerilimi	110 V _{RMS}	220 V _{RMS}	110 V _{RMS}	110 V _{RMS}	180 V _{RMS}	220 V _{RMS}	220 V _{RMS}	120 V _{RMS}
Panel Gerilimi	100 V	90 V-110 V	30 V	<50 V	30 V-50 V	45 V - 75 V	-	-
Verim	96.50%	87%	84%	83%	95.60%	97.50%	99%	98%
Anahtarlama Frekansı	20 kHz	10 kHz	50 kHz	10 kHz	22 kHz	50 kHz	30 kHz	30 kHz
Anahtar Sayısı	8	4	4	3	6	6	6	6
Diyot Sayısı	0	2	2	2	2	4	6	2
Decoupling Kapasitör Boyutu	-	2000 µF	470 uF	1500 uF	18 uf	36 uF	-	-
THB	5%	9%	-	-	<3%	3.80%	-	-
Maliyet	Orta	Düşük	Orta	Orta	Yüksek	Yüksek	Yüksek	Yüksek

İki aşamalı mikro evirici topolojileri incelendiğinde, ele alınan ilk çalışma Jiang et al. [30] boost-yarım köprü topolojisi ile DA-DA MGNT ve yükseltici kullanılan ve DA-AA çevirimi için tam köprü evirici topolojisinin kullanıldığı 210 W gücünde çift aşamalı bir mikro evirici ileri sürmüştür. Mikro evirici 180 V_{RMS} şebekede çalışmak için tasarlanmış olmakla birlikte 30V-50V panel gerilimini yükseltmeyi amaçlamaktadır. Bu çalışmada hem yüksek güç kalitesi hem de yüksek verim değerleri sağlanmış olmakla birlikte uygulama maliyetinin yükseldiği gözlemlenmiştir. Diğer bir çalışma Cha et al. [31] DA-DA yükseltici ve MGNT işlemini yumuşak anahtarlama flyback çevirici ve DA-AA dönüşüm işlemini de tam köprü evirici ile yaptığı 300 W gücünde bir mikro evirici üzerinde çalışmıştır. Yumuşak anahtarlama ile basit bir çevirici topolojisinden yüksek dönüştürme oranında bile yüksek verim almayı başarmıştır. İki aşamalı mikro eviricilerden incelenen üçüncü çalışmada Chen et al. [32] transformatörsüz bir yüksek gerilim kazançlı DA-DA yükseltici ve MGNT topolojisi kullanarak yüksek verim değerlerinde yüksek güç kalitesini sağlamayı başarmıştır. Ancak artan yarı iletken sayısı ve beraberinde gelmesi gereken kapı sürücü devreleri maliyeti arttırmıştır. İki aşamalı mikro eviricilerde incelenen son çalışmada da Yu et al. [32] ikili boost topolojisinin tam köprü eviriciye entegre edildiği ve H6 evirici olarak adlandırdığı bir mikro evirici topoloji kullanarak yüksek verimlere çıkmayı başarmıştır. Ancak 120 V_{RMS} şebekede çalışan mikro evirici yüksek gerilim kazancı sağlamaktan uzak kalmıştır.

İncelenen çalışmaların ışığında tek aşamalı mikro evirici topolojilerinin kompaktlık, düşük maliyet ve kontrol tasarımı açısından ciddi avantaj sağladığı gözlemlenmiş olmakla birlikte beraberlerinde nispeten düşük verim, kısıtlı DA giriş gerilim aralığı ve sınırlı kontrol kapasitesi gibi sorunları ortaya çıkardıkları gözlemlenmiştir. İki aşamalı mikro eviricilerde ise DA-DA ve DA-AA dönüştürücü birimlerin kontrolünün ayrıştırılmasının şebekeye enjekte edilen güce dair daha fazla parametrenin kontrol edilebilmesine ve güç kalitesinin takip edilerek kontrolörün eylem almasına olanak tanıdığı gözlemlenmiştir. Ayrıca iki aşamalı eviriciler yüksek gerilim kazancı sağlayabilme potansiyelleri ile tek bir panelden bile 220 V_{RMS} şebekeye düşük ısıma değerlerinde dahi güç aktarabilme kabiliyeti göstermişlerdir. Bu nedenle tez çalışması kapsamında tasarlanacak olan mikro eviricinin iki aşamalı bir topoloji olmasına karar verilmiştir.

1.1.2. DA-DA Yükseltici Topolojileri

DA-DA yükseltici dönüştürücüler yenilenebilir enerji kaynaklarından otomotive endüstrinin pek çok alanında ihtiyaç duyulan unsurlardır. Özellikle mikro eviricilerde güneş panelinin gerilimini yükselterek eviriciyi şebekeye akım enjekte edebilecek şekilde beslemek için yükseltici tip çeviricilere ihtiyaç vardır [34]. Giriş gerilimini yükseltmek için kullanılan bu topolojiler izoleli ve izolesiz çeviriciler olmak üzere iki temek başlık altında incelenebilir. İzolesiz çeviricilerde konvansiyonel yükseltici DA-DA çevirici topolojisinde daha yüksek gerilim kazançları elde etmek için son derece yüksek görev döngülerinde çeviricinin çalışması gerekir [35]. Daha yüksek görev döngülerinde çıkılması yarı-iletken anahtarlar üzerinde büyük gerilim streslerine sebep olur ve bu da tasarımda daha yüksek kırılma voltajına sahip yarı-iletkenler kullanmaya mecbur bırakır, dolayısıyla da iletim kayıpları artar. Ayrıca, yarı-iletken anahtarlar için daha yüksek görev döngülerine çıkılması diyot için çok ciddi ters toparlanma problemlerine neden olur [36].

Yükseltici kuplajlı indüktör bazlı dönüştürücüler, kuplajlı indüktörlerinin sargı dönüş oranlarını ekleyerek daha yüksek kademeli voltaj dönüşüm oranlarına kolayca ulaşabilirler. Bununla birlikte, kuplajlı indüktörlerin sargı dönüştürme oranlarının artırılması yoluyla daha yüksek voltaj kazanımları elde edilebilir. Ancak bununla birlikte giriş akımında yüksek dalgalanmalar, kuplajlı indüktörün birincil sargı tarafındaki anahtarların yüksek akım stresine maruz kalması, yüksek kaçak endüktanslar ve sonuç olarak tehlikeli seviyelere çıkan ani gerilim yükselmeleri gibi çeşitli dezavantajları da beraberinde getirmektedirler [37].

İzoleli yükseltici çevirici topolojilerine verilebilecek en temel örnek ise flyback dönüştürücü topolojisidir. Bu topoloji, basit yapısı ve kolay tasarımı nedeniyle DA-DA gerilimleri yükseltmek için kullanılan en yaygın yöntemdir. Basit izole topolojisi sayesinde yüksek trafo dönüşüm oranları ile tasarım yapılarak düşük görev döngülerinde topolojiden yüksek gerilim kazançları elde edilebilir [38]. Ancak öte yandan, aktif anahtarlar üzerindeki gerilim stresleri ve ilgili kayıplar oldukça yüksektir, ayrıca kaçak endüktans ve giriş akımı dalgalanması oldukça yüksektir [39].

Bahsedilen konvansiyonel DA-DA yükseltici topolojilerinin yanı sıra literatürde geliştirilmiş çeşitli yükseltici tip çevirici çalışmaları da yapılmıştır. Aralıklı (interleaved) boost çevirici ve dört zamanlı yükseltici çevirici gibi geliştirilmiş ve gerilim kazancı arttırılmış yükseltici tip çevirici topolojileri özellikle yenilenebilir enerji kaynakları için geliştirilmiştir [40, 41]. Yüksek verim ve stabilite gibi garantileri sunsalar da bu tür topolojiler artan yarı iletken anahtar sayısı nedeniyle hem maliyet hem de kontrol noktasında belli birtakım zorlukları da beraberlerinde getirmektedirler.

Güneş enerjisi uygulamalarında yükseltici tip çeviricilerin yanı sıra SEPIC, Cuk ve Zeta gibi düşürücü-yükseltici çevirici topolojileri de kullanılmaktadır. Bu topolojiler gerilim kazancı hücreleri ile geliştirilerek ya da izoleli versiyonları kullanılarak yüksek gerilim kazançlarına çıkarken giriş ve çıkış akımlarında düşük dalgalanma seviyelerini garanti edebilmektedirler [42, 43]. Zeta çevirici topolojisi daha stabil çıkış gücü sağlamak için tercih edilirken [44], SEPIC topolojisi kaynaktan düşük dalgalanmalı güç çekmek için tercih edilir [45]. Hem kaynaktan çekilen gücün hem de yüke aktarılan gücün stabil olması istendiğinde cuk çevirici topolojisi tercih edilmektedir [46]. Öte yandan cuk çevirici topolojisinin çıkış gerilimini tersleme gibi bir dezavantajı bulunmaktadır [47]. Cuk çeviricinin yüksek güç kalitesi sunma gibi avantajlarından faydalanırken çıkış gerilimini tersleme probleminden kurtulmak için cuk çeviricinin izoleli versiyonu kullanılmaktadır [48, 49]. Cuk çeviricinin bu tür avantajları kullanılarak gerçekleştirilmiş ve evirici katında entegre edilip tek aşamalı olarak tasarlanmış düşürücü yükseltici modunda operasyonel olan mikro evirici çalışmaları literatürde yerini bulmuştur [50]. Bir başka çalışmada ise izolesiz cuk çevirici topolojisi kullanılarak iki aşamalı bir mikro evirici çalışması yapılmış olmakla birlikte bu çalışmada nispeten düşük gerilim kazancı, 110 V_{RMS} şebekede çalışan evirici beslemek için tasarlanmıştır [51]. Buna rağmen izoleli cuk çevirici ile güneş panelleri için tasarlanmış bir DA-DA yükseltici çevirici ile 220 V_{RMS} şebekede çalışan bir eviricinin beslendiği bir çalışmaya rastlanılamamıştır.

Tez çalışması kapsamında kullanılacak olan DA-DA yükseltici çevirici topolojisini belirlemek üzere incelenen çalışmalar Çizelge 1.2’de karşılaştırılmıştır. Yapılan çalışmalar incelendiğinde [52] ve [45]’de görüldüğü gibi yarı iletken malzeme sayısı arttırılarak oluşturulan gerilim kazanç hücrelerinin yardımıyla düşük görev

döngülerinde çok yüksek gerilim kazançları elde edilmiştir. Ancak bu yöntemler maliyetli olmakla birlikte tasarımı ve kontrolü de oldukça zor olan topolojiler haline gelmişlerdir. Öte yandan [36]'da ileri sürülen flyback çevirici hem tasarım hem de maliyet açısından istenilen kriterleri karşılarken güç kalitesi açısından yetersiz kalmaktadır. Bu noktada hem makul bir maliyetle birlikte yüksek güç kalitesi ve 220 V_{RMS} şebekeye bağlı çalışan bir eviriciyi besleyebilecek potansiyel sunan izoleli cuk çevirici hem de iki aşamalı bir mikro evirici uygulamasında çalışılmamış olması nedeniyle ilgi çeken bir topoloji olarak karşımıza çıkmaktadır.

Çizelge 0.2. Güneş Paneli Uygulamaları için DA-DA Yükseltici Çevirici Topolojilerinin Karşılaştırılması

	Hibrid Yüksek Kazançlı Çevirici [53]	Boost Temelli Gerilim Çoklayıcı İzoleli Çevirici [52]	SEPIC Temelli Eviren Geçişli Çevirici [45]	Gerilim Katlamalı SEPIC Çevirici [43]	Aktif Baskılama Hücreli Flyback Çevirici [36]	İki Aşamalı Boost Çevirici [54]	İzoleli Cuk Çevirici
Çalışma Modu	Yükseltici	Yükseltici	Düşürücü-Yükseltici	Düşürücü-Yükseltici	Yükseltici	Yükseltici	Düşürücü-Yükseltici
Anahtar + Diyot Sayısı	2+5	2+5	1+4	1+3	2+1	3+2	1+1
Kapasitör Sayısı	4	4	5	6	2	1	3
Bobin Sayısı	2	1	4	4	0	2	2
YFT	Yok	Var	Yok	Yok	Var	Yok	Var
Giriş Gücü Dalgalanması	Düşük	Düşük	Düşük	Düşük	Yüksek	Düşük	Düşük
Çıkış Gücü Dalgalanması	Yüksek	Yüksek	Yüksek	Yüksek	Yüksek	Yüksek	Yüksek
Gerilim Kazancı	-	$\frac{N(2-D)}{(1-D)^2}$	$\frac{2+N_{21}(2-D)-N_{31}(1+D)}{(1-N_{31})(1-D)}$	$\frac{(1+N)D}{1-D}$	$\frac{D(N+1)(K+1)}{(1-D)^2}$	$\frac{1+D_1}{1-D_1-D_2}$	$\frac{ND}{1-D}$
Gerilim Stresi	Düşük	Orta	Orta	Orta	Yüksek	Düşük	Orta
Akım Stresi	Orta	Orta	Orta	Orta	Orta	Yüksek	Orta
Maliyet	Yüksek	Yüksek	Yüksek	Orta	Düşük	Orta	Orta

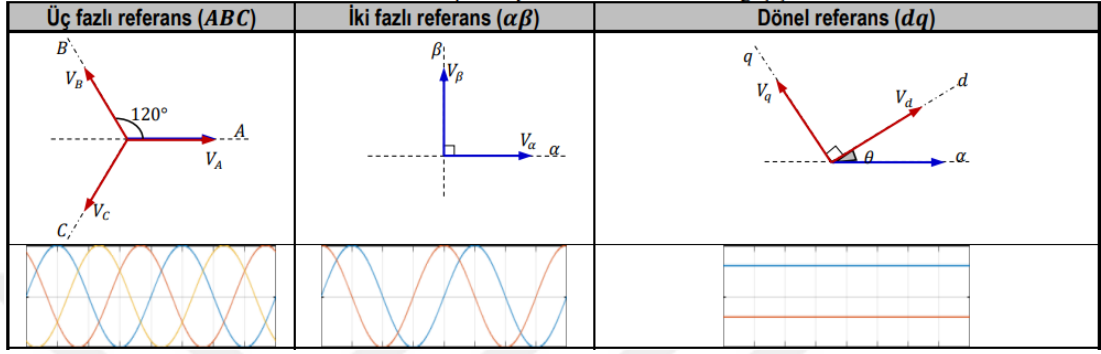
1.1.3. Evirici Kontrol Teknikleri

Mikro evericinin şebekede faz ve frekans senkronizasyonu gerçekleştirildikten sonra akım enjeksiyonu için uygun bir kontrol algoritmasına ihtiyaç vardır. Son yıllarda hepsi tek fazlı invertörün anlık çıkış voltajını üstün dinamik yanıtla ve ayrıca dönüştürücünün temel frekansında sıfır kararlı durum hatasıyla kontrol etmeyi amaçlayan gözlemci temelli kapasitör akımı kontrolü ve model öngörülü kontrol gibi birçok kontrol yöntemi ileri sürülmüştür [55, 56]. Geleneksel yöntemlerde, daha yavaş bir dış gerilim kontrol döngüsüne sahip hızlı bir iç akım kontrol döngüsü kullanılarak eviricinin sönümlenmemiş ya da kısmi sönümlü LC filtresinin rezonant etkisi ortadan kaldırılmaya çalışılır [57]. Bu yöntem, doğrusal yükler altında eviricinin performansının artmasına neden olurken, doğrusal olmayan yükler altında işleri daha da kötüleştirmektedir. Şebekeye güç aktarımını etkili bir şekilde kontrol etmek amacıyla D-Q eksen akım kontrolü, değişen durumlara hızlı dinamik tepki verme ve aktif-reaktif güç kontrolü açılarından daha iyi performans sunmaktadır [58, 59].

D-Q eksen kontrolünde sinüzoidal formdaki şebeke akım ve gerilim bilgisi Park ve Clarke dönüşümleri yapılarak DA bileşenler cinsinden ifade edilir. Clarke dönüşümü ile 3 fazlı bir sistemin A-B-C faz sinyalleri dönüştürülerek α - β ekseninde iki bileşen ile ifade edilebilir hale gelmektedir. Sonrasında ise park dönüşümü ile α - β eksenindeki faz bilgisi D-Q eksenine dönüştürülerek DA formda ifade edilir. Park-Clarke dönüşünün vektörel karşılığı Şekil 1.4'de gösterilmiş olmakla birlikte Clarke ve Park dönüşümleri için kullanılan matrisler Denklem 1.1 ve 1.2'de sırasıyla verilmiştir. Öte yandan tek fazlı şebekelerde Clarke dönüşümünü yapmak mümkün olmadığı için α - β ekseninde elde edilmesi gereken 90 derece faz kaymasına sahip V_α sinyali alçak geçiren filtre, tüm geçiren filtre ya da ikinci dereceden genel integral alıcı gibi sinyal işleme enstrümanları kullanılarak elde edilmektedir. Tek fazlı sistemlerde D-Q akım kontrolü için gerekli olan Clarke dönüşümünün nasıl yapılacağı Bölüm 1.5'de detaylı şekilde ele alınmıştır. Şebeke akımının Park dönüşümü tamamlanıp DA bileşenler ile ifade edildiğinde PI denetleyici gibi lineer bir kontrol sistemi tasarlamak kolay hale gelmektedir.

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} \quad (1.1)$$

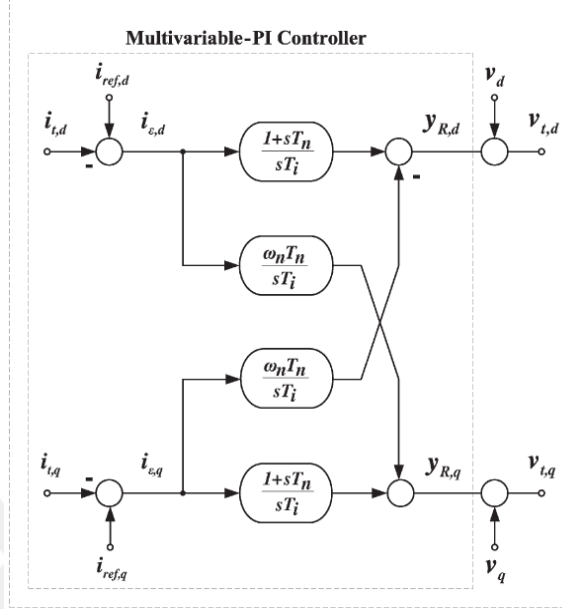
$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (1.2)$$



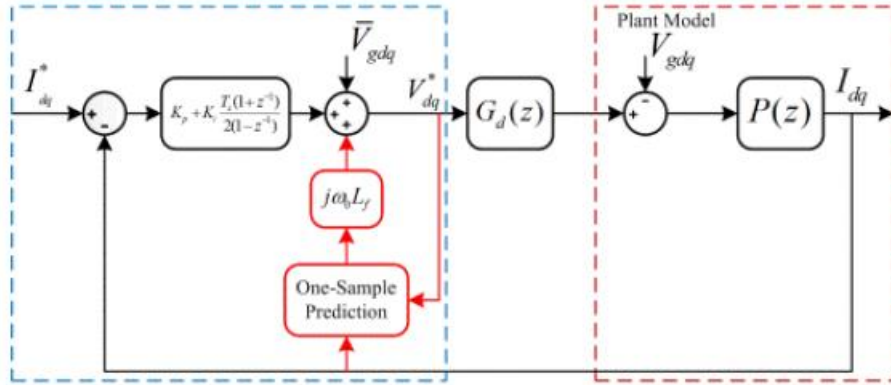
Şekil 0.4. Park Clarke Dönüşümlerinin görselleştirilmesi Vatansever et al. [60]

Şebekedeki akım ifadesinin park dönüşümü yapıldıktan sonra elde edilen I_d ve I_q parametreleri sırasıyla şebeke akımının genliğini ve faz kaymasını ifade etmektedir. D-Q eksen akım kontrolünün de çeşitli uygulama yöntemleri literatürde bulunmaktadır. Burada D-Q akım kontrolünün farklılaşmasında iki temel ayrışma göze çarpmaktadır. Bunlardan ilki darbe genlik modülasyonu (DGM) üretimi için kullanılacak olan referans sinyallerinin üretiminin nasıl yapılacağı iken ikincisi DA-DA çeviricinin kontrolcüsü ile evirici D-Q akım kontrolcüsünün nasıl etkileştirileceğidir. Bazı çalışmalarda Şekil 1.5’de gösterildiği gibi şebeke akım ve gerilim ifadelerinin D-Q dönüşümü yapıldıktan sonra denetleyiciye öncelikle gerilim referansı D-Q ekseninde verilmekte ve PI denetleyiciler aracılığı ile kompanze edilmektedir. Öte yandan bir diğer, çalışmada ise Şekil 1.6’da gösterildiği gibi kontrolcüye önce akım referansı verilmiş ve ardından PI denetleyici ile kompanze edilerek anahtarlama referansında kullanılmak üzere bir gerilim referansı üretilmiştir [61]. Ek olarak Şekil 1.6 (b)’de gösterilen çalışmada D-Q akım kontrolü esnasında D ve Q eksenleri için ileri besleme blokları da kontrolcüye dahil edilmiştir. Bu şekilde kullanılan ileri besleme tekniği ile üretilecek olan gerilim referansındaki şebeke frekansı kaynaklı indüktör üzerinde oluşan gerilim ifadesi hesaplamalara dahil edilerek daha kararlı bir kontrol sistemi tasarımı yapılabilir.

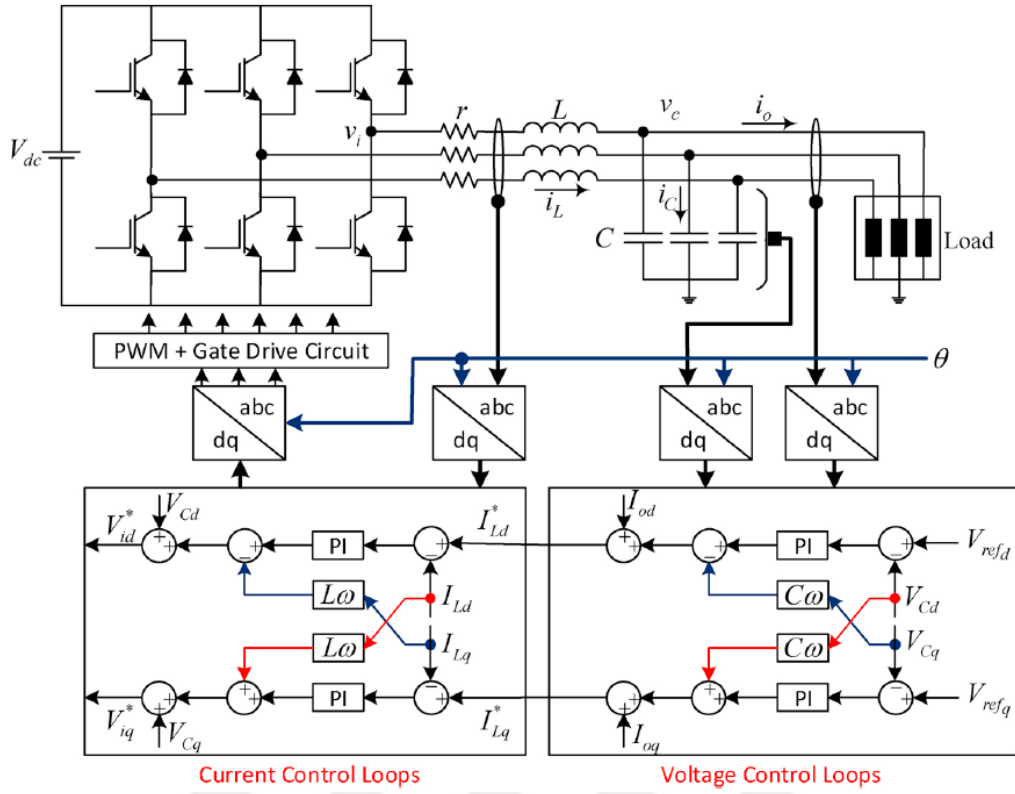
öncelikle gerilim referanslarını kompanse ederek akım referanslarını üretmiş ve bu referansları kullanarak evirici için gerekli kapı sinyallerini oluşturmuştur.



Şekil 0.7. Çok değişkenli ileri gerilim beslemeli D-Q akım kontrolcüsü blok diyagramı
Bahrani et al. [62]



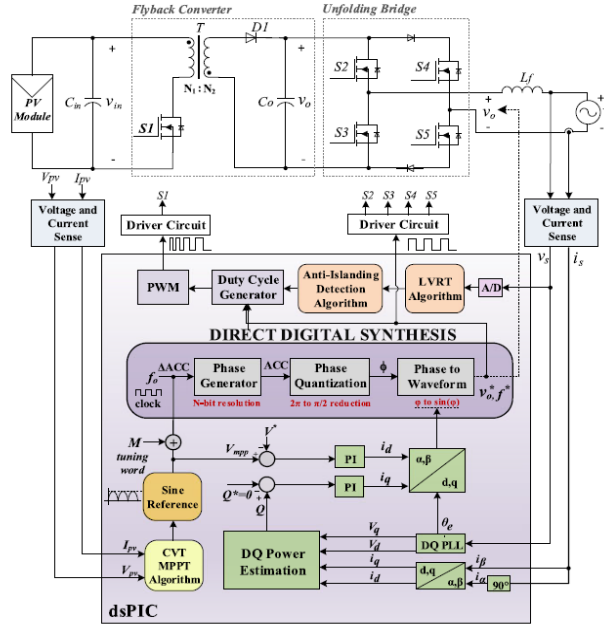
Şekil 0.8. Bobin akım durumu geri beslemeli D-Q akım kontrolcüsü blok diyagramı
Zhou et al. [63]



Şekil 0.9. Kaskad D-Q eksen akım ve gerilim kontrolcüsü tasarımı Ramezani et al. [64]

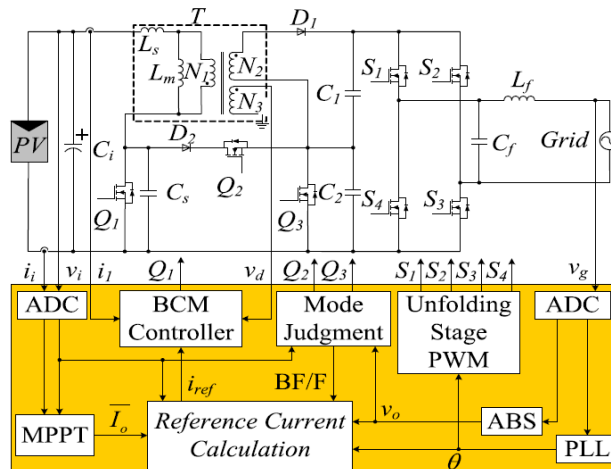
Mikro-evirici için tasarlanan kontrolördeki bir diğer önemli mesele ise I_d referansının nasıl belirleneceği konusudur. Güneş panelinin ürettiği güçten etkin olarak faydalanabilmek için paneli maksimum güç noktasında çalışması istenilir. Bu durumda panelden çekilen ve şebekeye aktarılan gücün zamanla değişeceği anlamına gelmektedir. Bu noktada MGNT kontrol katı ile D-Q akım kontrol katının bir şekilde eş güdümlü çalışması gerekmektedir.

Şebekeye enjekte edilecek olan akım referansının genliğini ifade eden I_d değerini belirlemek için literatürde çeşitli yöntemler ileri sürülmüştür. Bunlardan en yaygını Öztürk et al. [65]'da kullanılan ve D-Q akım kontrolünde akım referansını belirlemek için Şekil 1.10'da gösterildiği gibi DA anlık bara gerilimini sabit bir referans ile karşılaştırarak elde ettiği hatayı bir PI denetleyici ile kompanze ederek I_d akım referansını ürettirmektir.

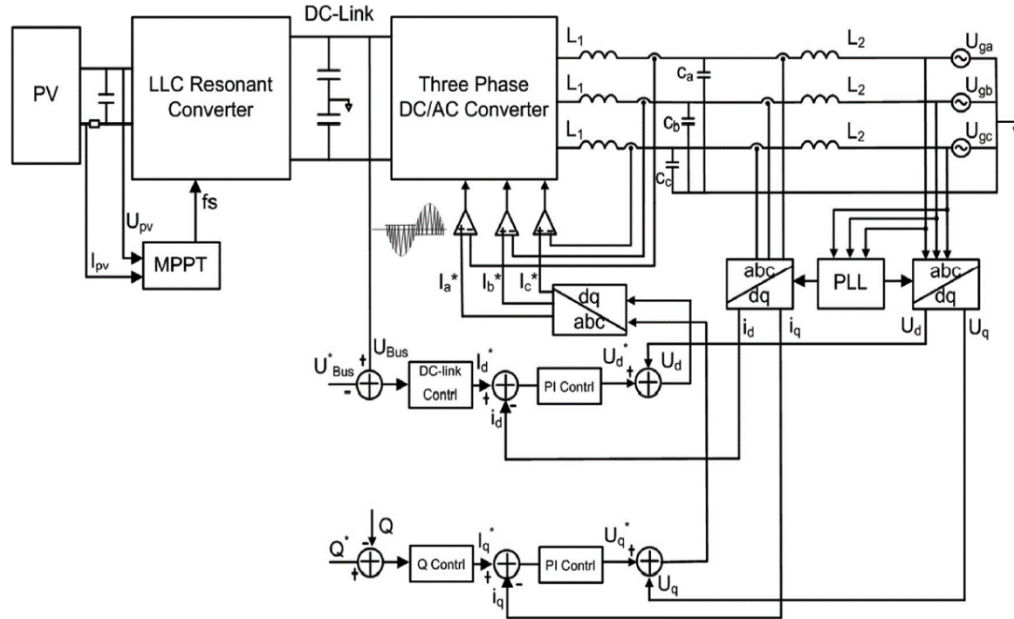


Şekil 0.10. Mikro evirici MGNI ve D-Q akım kontrolü entegrasyonu güç ve kontrol şemaları Öztürk et al. [65]

Bir başka mikro evirici çalışmasında ise Zhang et al. [66] şebekeye akım enjekte ederken panelin maksimum güç noktasında çalıştığından emin olmak için D-Q akım kontrolü yerine, Şekil 1.11'deki gibi eviricinin sabit bir sinüs DGM ile sürüldüğü ve enjekte edilen akımın genliğini belirlemek için panel geriliminin kontrol edilerek akım referansının üretildiği ve bir MGNT ve bir PI denetleyiciden oluşan kontrol bloğu tarafından kompanse edildiği bir yöntem ileri sürmüştür.

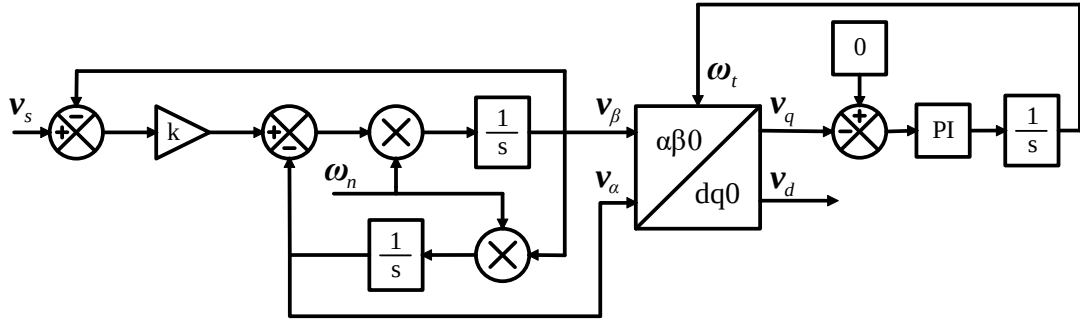


Şekil 0.11. Mikro evirici Srim modu ve MGNI temelli akım kontrolü sağlayan kontrol ve güç devre şeması Zhang et al. [66]



tür kolay yöntemler olağanüstü şebeke durumlarında senkronizasyon hatalarına ve arızalanmalara sebebiyet verebilmektedirler [71]. Öte yandan, faz kilitlemeli döngü (FKD) gibi geliştirilmiş senkronizasyon yöntemleri, harmonik etkiler altındaki şebekelerde bile daha iyi senkronizasyon performansı sunar [72]. Literatürde çalışılmış olan çeşitli FKD metotları şu şekilde sıralanabilir; gecikmeli FKL (g-FKD) [73, 74] dört evreli tek üretimli FKD (DTÜ-FKD) [75] geliştirilmiş FKD (GFKD) [76] ve güç temelli FKD (GTFKD) [77]. Ancak bu yöntemlerin sinyal işleme yeteneği açısından bazı dezavantajları bulunmaktadır. [78]. GTFKD şebeke frekansının ikinci harmoniğinden ciddi derecede etkilenen bir yapıya sahiptir, bu nedenle yavaş dinamik yanıt pahasına ilave alçak geçiren filtreler ihtiyacı duyar [79]. GFKD ise daha hızlı dinamik yanıt sağlar ancak bununla birlikte kontrol yapısı doğrusal değildir ve yoğun trigonometrik hesaplamalar içerir. GTFKD ve GFKD ile karşılaştırıldığında DT-FKD daha kolay tasarım ve uygulama imkanının yanı sıra daha güvenilir senkronizasyon sağlamaktadır [80].

Bu noktada DTÜ-FKD'nin değiştirilmiş bir versiyonu olan ve Şekil 1.14'de gösterilen ikinci dereceden genelleştirilmiş integral alıcı FKD (İGDİA-FKD), şebeke senkronizasyonu için çok önemli bir yöntem olarak karşımıza çıkmaktadır [78, 81]. Öte yandan İGDİA-FKD yöntemiyle şebekedeki faz açısına kilitlenmenin yanı sıra mikro eviriciyi şebekedeki frekans değişimlerine karşı da adaptif hale getirmek oldukça önem arz eden bir husustur. Gerçek uygulamalarda frekans değişimi nominal frekansın %2'si ile sınırlı olsa da mikro eviricinin 50Hz ve 60Hz gibi farklı standartlarda hiçbir değişikliğe gerek kalmadan aynı algoritma ile çalışabilmesi gerekmektedir. Başka bir deyişle, İGDİA-FKD algoritmaları farklı şebeke frekanslarında çalışabilmeye olanak tanıyan frekans kilitlemeli döngü (FrKD) ile geliştirilebilir. [82, 83]. Bu doğrultuda tez kapsamında çalışılacak olan mikro eviriciye gelişmiş bir faz ve frekans senkronizasyon yeteneği kazandırmak adına eviricinin şebeke ile etkileşiminde ikinci dereceden genel integral alıcı temelli faz ve frekans kilitlemeli döngü İGDİA-FKD-FrKD kullanılmasına karar verilmiştir.



Şekil 0.14. İkinci dereceden integral alıcı ve faz kilitlemeli döngü blok diyagramı

1.2. TEZİN AMACI VE KAPSAMI

Mikro evirici birimleri ve tasarım kriterleri üzerine önemli hususların literatür taraması yapılmıştır. Elde edilen veriler ve hedeflenen tasarım kriterleri doğrultusunda tez çalışmasının amacı ve kapsamı belirlenmiştir.

1.2.1. Amaç

Bu tez çalışmasının amacı, D-Q akım kontrollü iki aşamalı bir mikro eviricinin hem DA-DA yükseltici MGNT biriminin hem de DA-AA evirici biriminin tasarlanması, matematiksel modelinin çıkarılması, dijital kontrol sisteminin tasarlanması ve güç kalitesi analizlerinin yapılarak sistemin çalışma dinamiklerinin net bir şekilde açıklanmasıdır. Tez kapsamında DA-DA yükseltici tarafında giriş ve çıkış indüktörleri sayesinde yüksek güç kalitesi elde edilmesine katkı sağlaması amaçlanan izoleli cuk çevirici kullanılmıştır. Yüksek dönüşüm oranlı cuk trafosu ile 16 V'a kadar düşük giriş gerilimlerinde bile eviriciyi 400 V DA bara gerilimi ile besleyerek şebekeye akım enjekte edilmesi hedeflenmektedir. Bu aşamada manyetik malzemelerin tasarımlarına da değinilmiştir. İzoleli cuk çevirici hem DA-DA yükseltici olarak çalışırken hem de MGNT işlemini yapacak şekilde kontrol tasarımı gerçekleştirilmiştir. Mikro eviricinin şebekeye senkronizasyonu amacıyla kullanılan İDGİA-FKD-FrKD algoritması ve akım kontrolünde kullanılacak olan D-Q akım kontrolcüsünün ayrıık zaman dönüşümleri gerçekleştirilerek DSP'ye gömülen kodlar vasıtasıyla gerçek zamanlı uygulama yapılmıştır. Tez kapsamında tasarlanan eviricinin PSIM simülasyonları ile deneysel sonuçları incelenmiştir. Tez çalışması kapsamında gerçekleştirilen aşamalar ve bölümler Ana Hatlar başlığı altında verilmiştir.

1.2.2. Ana Hatlar

Bu tez 5 bölüme ayrılmıştır:

- 1.bölüm: Tezin konusu ile ilgili giriş yapılmış ve tez boyunca kullanılacak olan yöntemlerin literatür araştırması değerlendirilmiştir.
- 2.bölüm: Çevirici ve evirici birimlerinin matematiksel modeli çıkarılmış ve hedeflenen çalışma parametreleri üzerinden bileşenlerin değerleri hesaplanmıştır. Elde edilen veriler ve modeller ile çevirici için Tip 2 kompensatör ve MGNT algoritması tasarlanırken, evirici için DQ kontrol algoritması tasarlanmıştır. DQ kontrol için kullanılan dijital filtrelerin tasarımına ve z-dönüşümüne değinilmiştir. Ayrıca tasarlanan kontrol algoritmalarının kararlılığının test edilmesi için PSIM simülasyonları gerçekleştirilmiştir.
- 3.bölüm: Mikro-eviricinin prototip üretimi, önemli tasarım teknikleri ve manyetik malzeme üretim tekniklerine değinilmiştir.
- 4.bölüm: Bu bölümde prototiplenen mikro-eviricinin şebekeye bağlı ve şebekeden bağımsız çalışma deneyleri yapılmıştır. DQ kontrol algoritmasının ve MGNT çeviricinin çalışma kararlılığı test edilmiştir. Yüke/Şebekeye enjekte edilen akımın harmonik bozunumu ölçülmüş ve IEC61000-3-2 standardı ile sonuçlar karşılaştırılmıştır. Sistem verimi ve kayıplar analiz edilmiştir.
- 5.bölüm: Testleri yapılan mikro-evirici için ileriye dönük olarak DQ kontrol algoritması ve çevirici verimi temelli olarak yapılabilecek iyileştirmeler ele alınmıştır.

1.2.3. Yayınlar

- I. Hükümen B.; Gökdağ M.; Gülbudak O., “Cascaded IMC & PI Digital Controller Comparison for Boost Converter with Non-Ideal Switch Modelled State-Space Averaging Method”, 2023 5th Global Power, Energy and Communication Conference (GPECOM), Nevşehir, Türkiye, 2023, pp.1-6.
- II. Hükümen B.; Gökdağ M.; Gülbudak O., “Two Stage Dimmable PFC LED Driver Digital Controller Design and Analysis for Isolated SEPIC Converter”,

2023 5th Global Power, Energy and Communication Conference (GPECOM), Nevşehir, Türkiye, 2023, pp.33-38.

- III. Hükümen B.; Gökdağ M.; Gülbudak O., “Performance Evaluation of D-Q Current Controller for Grid-Connected Full-Bridge Inverter Under Nonlinear Load Conditions”, 2024 6th Global Power, Energy and Communication Conference (GPECOM), Budapeşte, Macaristan, 2024, pp.40-45.



BÖLÜM 2

MİKRO-EVİRİCİNİN TASARIMI

Literatür taraması sonrasında tasarım detayları ve kapsamı belirlenen mikro evirici çalışmasının ilk aşaması olan donanım ve kontrol tasarımı kısmı bu bölüm kapsamında ele alınmıştır. Öncelikle DA-DA yükseltici çevirici birimi olan izoleli cuk çeviricinin parametrelerinin tasarımı yapılmış ve sonrasında da matematiksel modeli çıkarılarak kontrol sistemi tasarlanmıştır. İkinci aşamada ise DA-DA yükseltici biriminin PSIM simülasyonları gerçekleştirilmiştir. Bölüm kapsamında ele alınmış olan üçüncü aşamada ise eviricinin matematiksel modeli çıkartılarak şebeke senkronizasyonu algoritması ve D-Q akım kontrol algoritması tasarlanmış ve yapılan tasarımlar dördüncü kısımda PSIM simülasyonları ile doğrulanmıştır. Son olarak beşinci kısımda tasarlanmış olan DA-DA yükseltici çevirici ve tam köprü evirici birleştirilerek mikro eviricinin kontrol diyagramı oluşturulacak ve nihai PSIM simülasyonları ile tasarımın çalışması analiz edilmiştir.

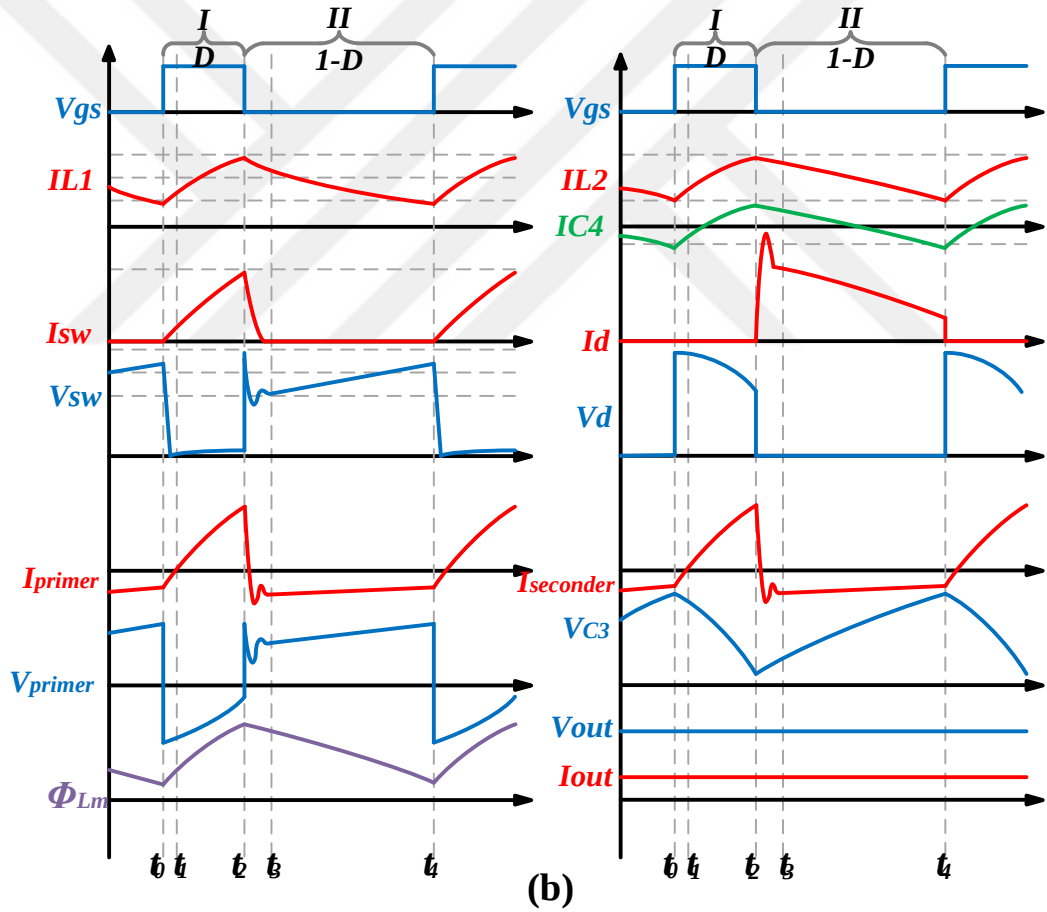
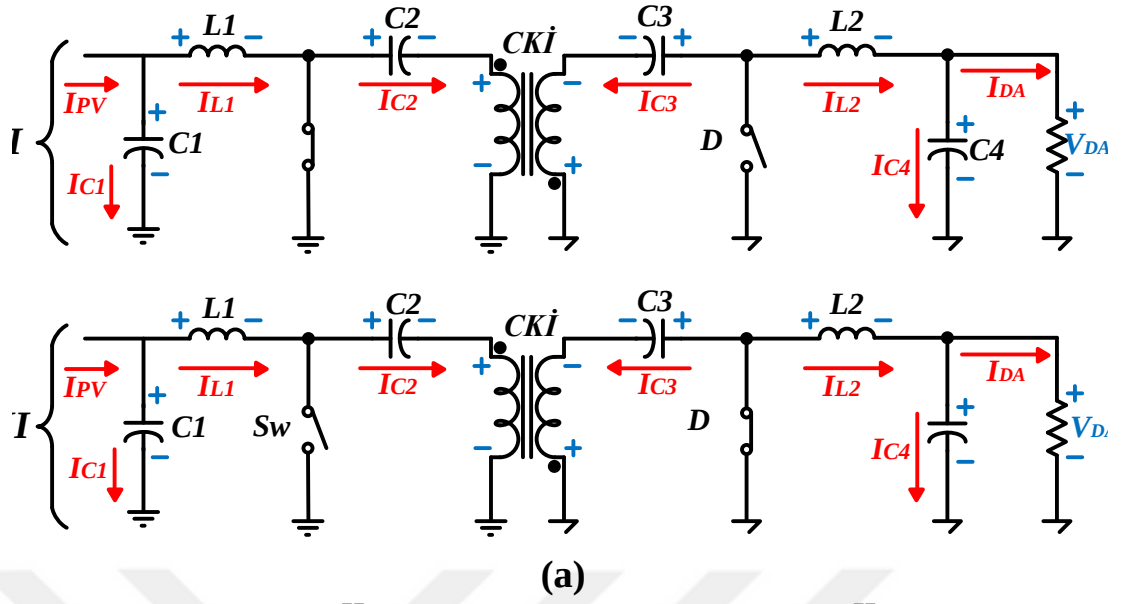
2.1. İZOLELİ CUK ÇEVİRİCİNİN TASARLANMASI VE MODELLENMESİ

İzolasyon ve düşük giriş-çıkış akım dalgalanması, düşük elektromanyetik gürültü ve yüksek güç kalitesi özellikleri nedeniyle tez çalışması kapsamında MGNT DA-DA yükseltici çevirici olarak kullanılacak olan izoleli cuk çevirici (İCÇ) topolojisinde altı adet pasif güç elemanı bulunmaktadır. Bu elemanlar iki tane bobin, üç tane kondansatör ve bir kuplajlı indüktörden oluşmaktadır. Kuplajlı indüktör sarım oranı sayesinde 16-90V arasındaki giriş gerilimi değerlerini 400V'a kadar çıkarmada önemli bir fonksiyon icra etmektedir. Ancak izoleli cuk çeviricinin sahip olduğu kuplajlı indüktörü çalışma prensibi ve yapısı gereği bir trafo olarak tanımlamak mümkün değildir. Bu yüksek frekanslı dönüşüm aracını cuk kuplajlı indüktörü (CKİ) olarak adlandırmak teknik açıdan daha uygun olmaktadır.

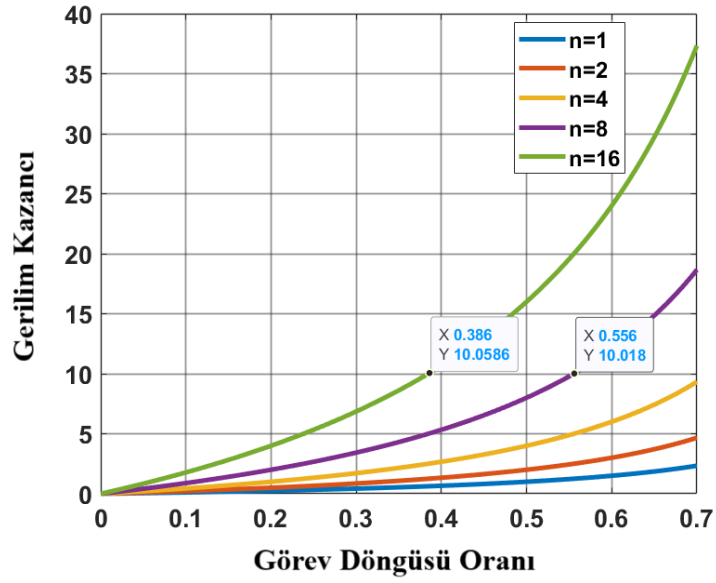
İCÇ düşürücü-yükseltici bir topoloji olmakla birlikte CKİ'nin sarım sayıları ile sağlanan dönüşüm oranının artırılması, yapılacak uygulamanın ihtiyaçlarına göre yüksek gerilim kazançlarına çıkılmasını sağlayabilmektedir. Şekil 2.1 (a)'da verilen devre şemaları İCÇ'nin tüm bobinlerinin sürekli iletim modunda (SİM) çalıştığı koşul için çıkarılmış olan güç anahtarı S'nin iletimde olduğu (I) ve kesimde olduğu durumları göstermektedir. Şekil 2.1 (a)'da (I) durumu görev döngüsünün aktif kısmı olan D periyodunu ifade ederken, (II) durumu periyodun geriye kalan kısmı olan $1-D$ durumunu ifade etmektedir. Çevirici sürekli durumda iken kapasiteler yük (akım-saniye) dengesi ve indüktörler volt-saniye dengesine uygun olarak operasyon gösterirler. Buradan hareketle yapılan kalıcı durum analizlerinden İCÇ'nin gerilim kazancı ifadesi gibi statik durumdaki ortalama akım ve gerilim ifadeleri bulunabilmektedir. İCÇ için volt-saniye dengesi kurularak elde edilen çeviricinin dönüştürme oranı Denklem 2.1'de verilmiştir [48, 84].

$$V_{DA} = \frac{nD}{1-D} V_g \quad (2.1)$$

Denklem 2.7'de elde edilen gerilim kazancı ifadesinde CKİ'nin farklı n değerleri için çıkarılmış çevirici kazanç eğrileri Şekil 2.1'de verilmiştir. İCÇ için 0.6'dan daha yüksek görev döngülerine çıkılması S üzerinde ciddi gerilim streslerine ve iletim kayıplarının artmasına sebep olacağından çeviricinin nominal koşullarda bu değerden daha düşük bir görev döngüsünde çalışması istenmektedir. Öte yandan çeviricinin geniş bir giriş gerilimi çalışma aralığına sahip olması istense de piyasada bulunan 500W'lık solar panel karakteristikleri göz önüne alınarak nominal gerilim değeri 40V olarak belirlenmiştir. Başka bir deyişle çeviricinin tam yükte iken 40V'u 400V'a çıkararak eviriciyi beslemesi amaçlanmaktadır. Bu koşulları sağlamak 0.6 görev döngüsünün altındaki değerlerde iken çeviricinin gerilim kazancının 10 ve üzeri olduğu n değerinin seçilmesi gerekmektedir. Şekil 2.2'de görüldüğü üzere 0.556 görev döngüsü oranında iken gerilim kazancını 10 dolaylarında yapabilen n değeri 8 olarak seçilmiştir.



Şekil 0.1. İzoleli çuk çevirici manyetizasyon indüktansı sürekli iletim modunda ve denge durumunda iken (a) devre üzerindeki akım-gerilim ifadeleri ve (b) çalışma aralıklarında akım-gerilim eğrileri



Şekil 0.2. CKİ'nin farklı sarım oranları için çeviricinin gerilim kazancı eğrileri

İCÇ'nin n değeri Şekil 2.2'de görüldüğü 16 gibi daha yüksek bir değerde seçilerek gerilim kazancı artırılabilir bu sayede de güç anahtarı üzerinde meydana gelecek olan kayıplar daha fazla önlenabilir gibi gözükmemektedir. n değeri 8 iken 0.556 görev döngüsü oranında sağlanan gerilim kazancı değeri, n değeri 16 iken 0.386 görev döngüsü oranında sağlanmakta ve bu da nominal çalışma durumunda anahtarın açık kalma süresinin %44 azalacağı anlamına gelmektedir. Öte yandan bu durum S üzerindeki akım stresini de aynı oranda arttıracaktır. Ek olarak, Şekil 2.1 (b)'de gösterilen t_2 - t_3 zaman aralığında S kesime giderken sekonder tarafta artacak sarım sayısı kaynaklı ortaya çıkacak olan sekonder sızıntı indüktansı L_{s_lkq} , anahtarlama esnasında hem MOSFET hem de diyot üzerinde ciddi gerilim streslerine sebep olarak anahtarlama kayıplarının artmasına ve hatta bu yarı-iletken malzemelerin yanmasına neden olabilir.

2.1.1. İzoleli Cuk Çevirici Pasif Bileşenlerin Hesaplanması

İCÇ'nin dengeli ve verimli bir şekilde çalışabilmesi için pasif bileşenlerinin istenilen çalışma koşullarına uygun optimum değerlerde olması önem arz etmektedir. Bu değerlerin düzgün belirlenebilmesi için ise çeviricinin çalışma koşullarının net bir şekilde belirlenmesi gerekmektedir. İCÇ'ye ait ilgili çalışma parametreleri Çizelge 2.1'de verilmiştir.

Çizelge 0.1. İzoleli Cuk Çevirici Çalışma Koşulları

V_g	40 V	f_s	85 kHz
V_{gmin}	16 V	n	8
V_{gmax}	90 V	V_{DA}	400 V
P	500 W	D	0.556
$\eta(\% \Delta I_{L1})$	0.4	$\sigma(\% \Delta I_{L2})$	0.55
$\delta(\% \Delta I_{Lm})$	2	$\kappa(\% \Delta V_{C2})$	0.15
$\Delta V_{DA} @ 50 \text{ Hz}$	10 V	$\chi(\% \Delta V_{C3})$	0.1
ΔV_{PV}	0.05 V	k	0.8

Çeviricideki yarı iletken malzemelerin çalışma koşullarını zorlayarak fazladan güç kayıplarına ve arızalanmalara sebebiyet veren durumlar genellikle anahtarlama esnasında meydana gelen akım ve gerilim piklerinden kaynaklanmaktadır. Bu pikler aynı zamanda giriş ve çıkış taraflarında parazitlere ve yüksek dalgalanmalara sebep olarak güç kalitesinin azalmasına neden olurlar. Bu nedenle, giriş ve çıkış akımlarındaki anahtarlama kaynaklı parazitlerin etkinliğini kırmak için İCÇ'nin giriş ve çıkış bobinleri (L_1 ve L_2), Şekil 2.3 (a)'da gösterildiği gibi sürekli iletim modunda (SİM) çalışmalıdır. Eğer maliyeti ve uygulama alanını düşürmek amacıyla bobin değeri düşürülür ve bobinler Şekil 2.3 (b)'de gösterildiği gibi kesikli iletim modunda (KİM) çalıştırılırsa güç anahtarları üzerine binen akım stresi ile kayıplar artar ve güç kalitesi olumsuz etkilenir. Bu hususlar göz önünde bulundurularak L_1 bobininin değeri Denklem 2.2'deki formül ile SİM'de çalışacak şekilde parametreler belirlenerek hesaplanmıştır. Denklem 2.3'daki gösterildiği gibi yapılan hesaplar sonucunda bobinin değeri 60 μH olarak bulunmuştur.

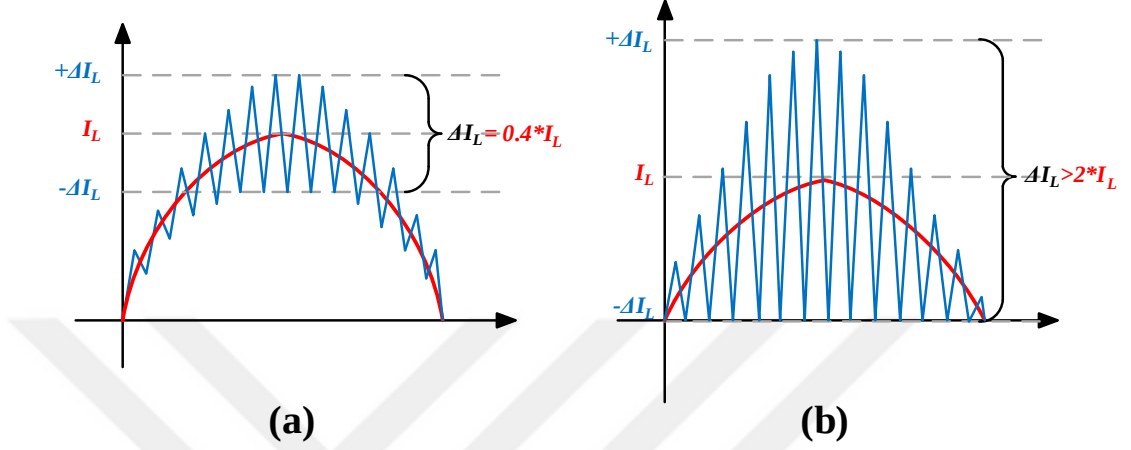
$$L_1 = \frac{V_g V_{DA}^2}{2P\eta f_s (n^2 V_g + V_{DA})} \quad (2.2)$$

$$L_1 = \frac{40 * 400^2}{2 * 540 * 0.4 * 85000(8^2 * 40 + 400)} = 60 \mu\text{H} \quad (2.3)$$

Benzer şekilde L_2 bobininin değeri de Denklem 2.4 kullanılarak SİM'de çalışacak şekilde hesaplanmış ve gerekli indüktans değeri Denklem 2.5'deki gibi 3 mH olarak bulunmuştur.

$$L_2 = \frac{nV_g V_{DA}}{\sigma I_{DA} f_s (nV_g + V_{DA})} \quad (2.4)$$

$$L_2 = \frac{8 * 40 * 400}{0.55 * 1.25 * 85000(8 * 40 + 400)} = 3.04 \text{ mH} \quad (2.5)$$



Şekil 0.3. Bobin akım çalışma modları, (a) sürekli iletim modu ve (b) kesikli iletim modu

Öte yandan L_m özelinde, manyetizasyon indüktansının sınır iletim moduna (SRİM) yakın bir noktada çalıştırılması önemlidir çünkü CKİ histerezis eğrisi çift yönlü çalışmakta olup nüvede indüklenen manyetik enerjinin tamamının bir görev döngüsünde yüke aktarılması önemlidir. Bu nedenle izin verilen bobin dalgalanma akımı değeri, bobin ortalama akım değerinin %100'ü olacak şekilde belirlenmiş ve Denklem 2.6 kullanılarak hesaplanmıştır. Yapılan hesap ile gerekli L_m değeri Denklem 2.7'deki gibi 24 μH olarak bulunmuştur.

$$L_m = \frac{V_g V_{DA}^2}{4P\delta f_s (n^2 V_g + V_{DA})} \quad (2.6)$$

$$L_m = \frac{40 * 400^2}{540 * 2 * 85000(8^2 * 40 + 400)} = 24 \mu\text{H} \quad (2.7)$$

DA-DA çevirici girişinde bulunacak olan PV panel kapasitörü panel gerilimi yükseltilirken hem anahtarlama kaynaklı dalgalanmaları hem de ani güç değişimlerinde gereken gücü panele zarar vermeden karşılamak amacıyla kullanılır. Bu amaçla kullanılacak olan C1 kapasitörü Denklem 2.8 kullanılarak hesaplanmıştır

ve hesaplamada kullanılan k sabiti Singh et. al [85] çalışmasında olduğu 0.8 olarak alınmıştır. Yapılan hesap sonucunda gereken kapasite değeri Denklem 2.9'daki gibi 3 mF olarak bulunmuştur

$$C_1 = \frac{(nV_{pv} - k^2 n D V_{pv}) D^2}{L_1 f_s^2 \Delta V_{pv}} \quad (2.8)$$

$$C_1 = \frac{(8 * 40 - 0.8^2 * 8 * 0.55 * 40) * 0.55^2}{60 * 10^{-6} * 85000^2 * 0.05} = 3 \text{ mF} \quad (2.9)$$

Orta enerji kapasitörleri C_2 ve C_3 'ün üzerinde oluşacak gerilim dalgalanmasının %20'nin altında olması önemlidir çünkü bu kapasitörlerinde oluşacak yüksek dalgalanmalı gerilimler yarı-iletken malzemelerde ciddi gerilim streslerinin oluşmasına ve bozulmalara sebebiyet verebilmektedir.

$$C_2 = \frac{nP}{\kappa V_g f_s (nV_g + V_{DA})} \quad (2.10)$$

$$C_2 = \frac{8 * 500}{0.15 * 40 * 85000(8 * 40 + 400)} = 11.76 \mu F \quad (2.11)$$

Bu nedenle κ ve χ parametreleri sırasıyla 0.15 ve 0.1 alınmış olup, C_2 ve C_3 değerlerinin hesaplanması için Denklem 2.10 ve 2.12 kullanılmıştır. Yaklaşık olarak sırasıyla 12 μF ve 220 nF değerleri bulunmuştur.

$$C_3 = \frac{P}{\chi V_{DA} f_s (nV_g + V_{DA})} \quad (2.12)$$

$$C_3 = \frac{540}{0.1 * 400 * 85000(8 * 40 + 400)} = 220 \text{ nF} \quad (2.13)$$

İÇC'nin çıkışına evirici bağlanacağı için DA bara kapasitörü C_4 'ün değeri hesaplanırken anahtarlama frekansının değil şebeke frekansı dikkate alınmalıdır. Bu şekilde evirici şebekeye enjekte etmek için güç çekerken DA bara geriliminde sebep olduğu sinüzoidal dalgalanma filtrelenebilir. DA bara geriliminin sinüzoidal olarak

tam yükte en fazla %2.5 oranında dalgalanmasına izin verilmiştir ve Denklem 2.14 kullanılarak kapasite değeri 200 μF olarak hesaplanmıştır.

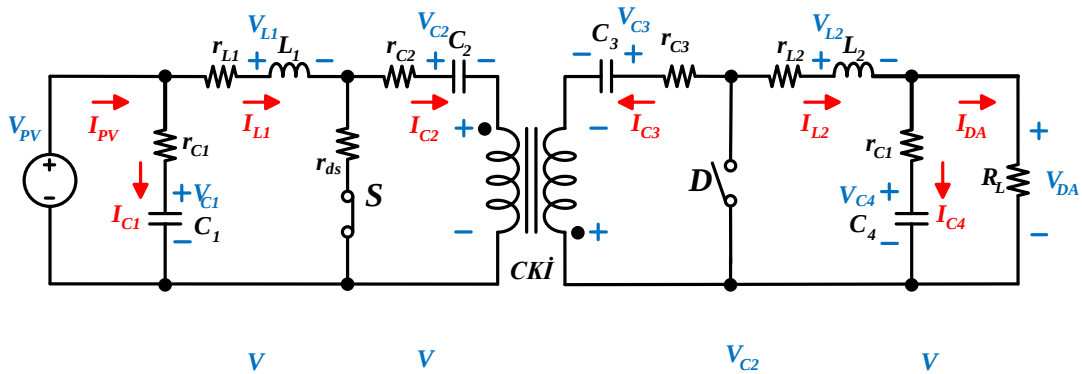
$$C_4 = \frac{I_{DA}}{2\omega\Delta V_{DA}} \quad (2.14)$$

$$C_4 = \frac{500/400}{2 * 2\pi 50 * 0.025 * 400} = 198 \mu\text{F} \quad (2.15)$$

2.1.2. İzoleli Cuk Çeviricinin Durum-Uzay Modelinin Elde Edilmesi

İCÇ'nin pasif bileşenlerinin tasarlanmasından sonraki aşama matematiksel modelinin çıkarılması ve akabinde küçük sinyal analizinin yapılmasıdır. Böylece konvertörün kapalı çevrim kontrolünün gerçekleştirilebilmesi için gerekli küçük sinyal transfer fonksiyonların elde edilebilir. Çeviriciye ait durum uzay modeli devrenin her bir anahtarlama modu için yazılır. Cuk konvertör için anahtarın iletimde diyotun kesimde ve anahtarın kesimde diyotun iletimde olduğu durum olmak üzere iki mod vardır. Bu iki mod için yazılan denklemler durum-uzay ortalama tekniği ile birleştirilerek çeviricinin zamandaki davranışını modelleyen tek bir durum uzay modeli elde edilir. Sonrasında bu modele pertürbasyon ve doğrusallaştırma adımları uygulanarak çeviricinin küçük sinyal modeli elde edilir.

Çeviricinin anahtarın iletimde olduğu DT_s aralığı için devre şeması Şekil 2.4'de verilmiştir. Bu durum için yapılan analiz ile elde edilen model Denklem 2.16-Denklem 2.20 arasında verilmiştir.



Şekil 0.4. İzoleli cuk çeviriciye ait anahtar iletimde iken akım gerilim ifadeleri

$$\dot{x} = A_1 x + B_1 u \quad (2.16)$$

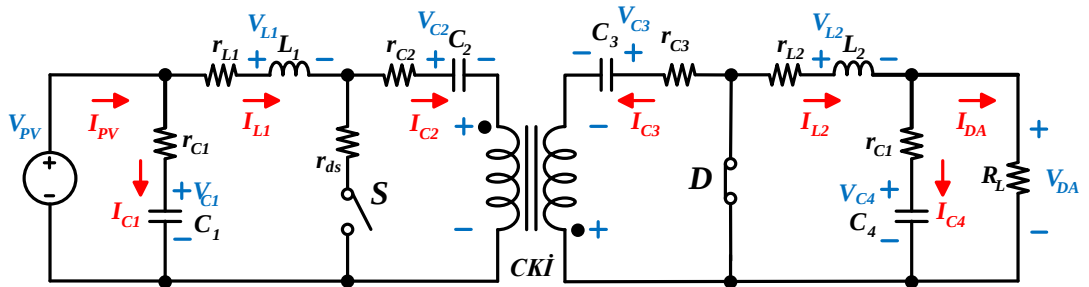
$$\begin{bmatrix} V_{DA} \\ V_{PV} \\ I_{PV} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} \quad (2.17)$$

$$A_1 x = \begin{bmatrix} -\frac{r_{L1}}{L_1} & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{r_{T1}}{L_2} & 0 & \frac{n}{L_2} & -\frac{1}{L_2} & -\frac{R_E}{r_{Co}L_2} \\ -\frac{1}{C_1} & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{n}{C_1} & 0 & 0 & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & 0 & 0 & 0 \\ 0 & \frac{R_L}{(r_{Co} + R_L)C_o} & 0 & 0 & 0 & -\frac{1}{(r_{Co} + R_L)C_o} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} \quad (2.18)$$

$$r_{T1} = (nr_{C2} + r_{C3} - r_{L2} - R_E) \quad (2.19)$$

$$B_1 u = \begin{bmatrix} \frac{1}{L_1} & 0 \\ 0 & 0 \\ 0 & \frac{1}{L_1} \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_{pv} \\ i_{pv} \end{bmatrix} \quad (2.20)$$

İkinci çalışma modu anahtarın kesimde olduğu $(1-D)T_s$ aralığı için devre şeması Şekil 2.5’de verilmiştir. Bu durum için yapılan analiz ile elde edilen model Denklem 2.21- Denklem 2.25 arasında verilmiştir.



Şekil 0.5. İzoleli cuk çeviriciye ait anahtar keismde iken akım gerirlim ifadeleri

$$\dot{x} = A_2 x + B_2 u \quad (2.21)$$

$$\begin{bmatrix} V_{DA} \\ V_{PV} \\ I_{PV} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} \quad (2.22)$$

$$A_2 x = \begin{bmatrix} -\frac{r_{T2}}{L_1} & 0 & 0 & -\frac{1}{L_1} & -\frac{1}{nL_1} & 0 \\ 0 & -\frac{r_{L2} + R_E}{L_2} & 0 & 0 & 0 & -\frac{R_E}{r_{Co}L_2} \\ -\frac{1}{C_1} & 0 & 0 & 0 & 0 & 0 \\ -\frac{1}{C_1} & 0 & 0 & 0 & 0 & 0 \\ -\frac{1}{nC_2} & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{R_L}{(r_{Co} + R_L)C_o} & 0 & 0 & 0 & -\frac{1}{(r_{Co} + R_L)C_o} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} \quad (2.23)$$

$$r_{T2} = r_{L1} + r_{C2} + \frac{r_{C3}}{n} \quad (2.24)$$

$$B_2 u = \begin{bmatrix} \frac{1}{L_1} & 0 \\ 0 & 0 \\ 0 & \frac{1}{L_1} \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_{pv} \\ i_{pv} \end{bmatrix} \quad (2.25)$$

İki farklı çalışma modu için elde edilen modeller Denklem 2.26'da gösterilen durum-uzay ortalama işlemi kullanılarak Denklem 2.27'deki gibi elde edilir. Öte yandan görev döngüsü ile kontrolün ve modellemenin yapılabilirdiği bir model için mevcut modeldeki giriş vektörü u 'nun yerine giriş vektörü olarak görev döngüsündeki küçük değişimler için $\hat{d}$ ile yer değiştirilmesi gerekir. Bu doğrusallaştırma işlemi yapmak için Denklem 2.28 kullanılarak Denklem 2.29'deki model elde edilmiştir.

$$\dot{x} = Ax + Bu = (DA_1 + (1 - D)A_2)x + (DB_1 + (1 - D)B_2)u \quad (2.26)$$

$$\frac{d}{dt} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} = \begin{bmatrix} -\frac{Dr_{L1} - D'r_{T2}}{L_1} & 0 & 0 & -\frac{D'}{L_1} & -\frac{D'}{nL_1} & 0 \\ 0 & \frac{Dr_{T1} - D'(r_{L2} + R_E)}{L_2} & 0 & \frac{Dn}{L_2} & -\frac{D}{L_2} & -\frac{R_E}{r_{C4}L_2} \\ -\frac{1}{C_1} & 0 & 0 & 0 & 0 & 0 \\ -\frac{D'}{C_1} & \frac{Dn}{C_1} & 0 & 0 & 0 & 0 \\ -\frac{D'}{nC_2} & \frac{D}{C_2} & 0 & 0 & 0 & 0 \\ 0 & \frac{R_L}{(r_{Co} + R_L)C_o} & 0 & 0 & 0 & -\frac{1}{(r_{Co} + R_L)C_o} \end{bmatrix} \quad (2.27)$$

$$\begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} & 0 \\ 0 & 0 \\ 0 & \frac{1}{L_1} \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_{pv} \\ i_{pv} \end{bmatrix}$$

$$\dot{\hat{x}} = A\hat{x} + F\hat{d} \quad (2.28)$$

$$F\hat{d} = ((A_1 - A_2)\hat{x} + (B_1 - B_2)u)\hat{d} \quad (2.29)$$

$$\frac{d}{dt} \begin{bmatrix} \widehat{i_{L1}} \\ \widehat{i_{L2}} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} = \begin{bmatrix} -\frac{\widehat{D}r_{L1} - \widehat{D}'r_{T2}}{L_1} & 0 & 0 & -\frac{\widehat{D}'}{L_1} & -\frac{\widehat{D}'}{nL_1} & 0 \\ 0 & \frac{Dr_{T1} - D'(r_{L2} + R_E)}{L_2} & 0 & \frac{\widehat{D}n}{L_2} & -\frac{\widehat{D}}{L_2} & -\frac{R_E}{r_{C4}L_2} \\ -\frac{1}{C_1} & 0 & 0 & 0 & 0 & 0 \\ -\frac{\widehat{D}'}{C_1} & \frac{\widehat{D}n}{C_1} & 0 & 0 & 0 & 0 \\ -\frac{\widehat{D}'}{nC_2} & \frac{\widehat{D}}{C_2} & 0 & 0 & 0 & 0 \\ 0 & \frac{R_L}{(r_{Co} + R_L)C_o} & 0 & 0 & 0 & -\frac{1}{(r_{Co} + R_L)C_o} \end{bmatrix} \begin{bmatrix} \widehat{i_{L1}} \\ \widehat{i_{L2}} \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{C4} \end{bmatrix} \quad (2.30)$$

$$+ \begin{bmatrix} \frac{n\widehat{v}_{C2} + \widehat{v}_{C3} - n\widehat{i}_{L1}(r_{L1} + R_E)}{nL_1} \\ \frac{n\widehat{v}_{C2} - \widehat{v}_{C3} + \widehat{i}_{L2}(r_{T1} + r_{L2} + R_E)}{L_2} \\ 0 \\ -\frac{n\widehat{i}_{L2} - \widehat{i}_{L1}}{C_2} \\ -\frac{n\widehat{i}_{L2} - \widehat{i}_{L1}}{nC_3} \\ 0 \end{bmatrix} \hat{d}$$

2.1.3. Güneş Paneli ile MGNİ için $\hat{v}_{PV}/\hat{d}$ Transfer Fonksiyonunun Elde Edilmesi ve Kompansatör Tasarımı

Elde edilen modele laplace dönüşümü yapılması ve görev döngüsünden panel gerilimine transfer fonksiyonunun $\hat{v}_{PV}/\hat{d}(s)$ elde edilmesi için parametre değerlerinin belirlenmesi gerekmektedir. Çeviriciye ait pasif bileşenlerin parazitik direnç (eşdeğer seri direnç (ESD) değerleri prototipleme için seçilen gerçek komponentler üzerinde UNIT UT612 LCR metre kullanılarak elde edilmiştir. Yarı-iletken malzemelerin ideal olmayan parametreleri ise İCÇ'nin çalışma koşullarına uygun olarak seçilen ürünlerin veri kağıtlarından elde edilmiştir. Manyetik malzemelere ait ESD değerleri ise Bölüm 3 kapsamında da anlatıldığı gibi tasarım ve üretim aşamalarından sonra UT612 LCR metre kullanılarak ölçülmüştür. Elde edilen veriler Çizelge 2.2'de verilmiştir. Bu veriler kullanılarak Matlab'da oluşturulan model için değerler girilmiş Denklem 2.31'deki gibi laplace dönüşümü yapılmıştır. Yapılan dönüşüm ile birlikte $\hat{v}_{PV}/\hat{d}(s)$ transfer fonksiyonu Denklem 2.33'deki gibi elde edilmiştir.

Çizelge 0.2. İzoleli Cuk Çevirici Bileşen Parametreleri

L_1	60 μ H	i_{pv}	12.6 A
r_{L1}	50 m Ω	v_{pv}	40 V
L_2	3 mH	v_{C1}	40 V
r_{L2}	200 m Ω	v_{C2}	40 V
L_m	24 μ H	v_{C3}	400V
C_1	3000 μ F	v_{C4}	400 V
r_{C1}	10 m Ω	i_{L1}	12.6 A
C_2	12 μ F	i_{L2}	1.25 A
r_{C2}	30 m Ω	i_{Lm}	1.1998 A
C_3	220 nF	R_E	r_{C4}/R_L
r_{C3}	100 m Ω	N	8
C_4	200 μ F	D	0.55
r_{C4}	400 m Ω	r_{ds}	28 m Ω

Elde edilen transfer fonksiyonunun frekans cevabı Matlab'da çizdirilmiş olup ilgili grafik Şekil 2.6'da verilmiştir. Analizde çeviricinin açık çevrimdeki kompanse

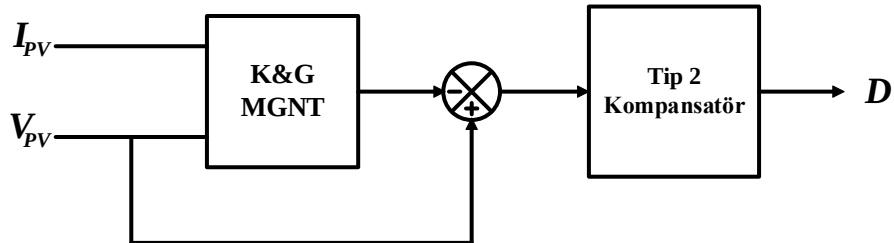
edilmemiş halinin -3 dB'deki bant genişliğinin 100 Hz civarında olduğu gözlemlenmiştir.

$$G_{pvd}(s) = \hat{v}_{PV} / \hat{d}(s) = C[sI - A]^{-1}F \quad (2.31)$$

$$C = [0 \quad 0 \quad 1 \quad 0 \quad 0 \quad 0] \quad (2.32)$$

$$G_{pvd}(s) = \frac{-4.433e8s^4 + 1.875e12s^3 - 1.259e17s^2 - 1.242e18s - 7.431e06}{s^6 - 263.3s^5 + 7.194e8s^4 + 1.614e10s^3 + 9.806e14s^2 + 2025s} \quad (2.33)$$

İÇÇ güneş paneline bağlı çalışırken kaynaktan mümkün olan en yüksek gücü çekebilmesi için MGNT algoritması ile kontrol edilmesi gerekmektedir. Bu algortmada panel akım ve gerilim değeri ölçülerek anlık güç değışimleri hesaplanarak görev dōngüsü artırılır ve azaltılır. Bu sayede panelden çekilen gücün mümkün olan en yüksek seviyede tutulması amaçlanır. En ilkel hali ile kullanılan K&G MGNT algoritmasının daha iyi çalışabilmesi Şekil 2.6'daki gibi MGNT çıktısının panel gerilimi ile karşılaştırılarak bir kompensatörden geçirilmesi ve ardından görev dōngüsünün tayin edilmesi gereklidir. Ayrıca kullanılan kompensatör ile sistemin -3 dB'deki 2 kHz olan bant genişliği 0.5 kHz'e indirilerek kontrolörün daha kararlı şekilde gürültülerden daha az etkilenecek çalışması amaçlanmaktadır. Bu amaca yönelik olarak Denklem 2.34'de verilen Tip-2 kompensatör tasarlanmıştır. Bu kompensatör ile çeviricinin görev dōngüsünden panel gerilimine $\hat{v}_{PV} / \hat{d}(s)$ bant genişliğinin 0.5 kHz'e kadar düşürülmesi hedeflenmiştir. Kompensatöre ait parametre bilgileri Çizelge 2.3'de verilmiştir. Kompanze edilmiş çevrim fonksiyonunun frekans cevabı Şekil 2.7'de verilmiştir. Kompanze edilmiş sistemin faz marjini 0.502 kHz'de 97.1° derece olarak ölçülmüştür.



Şekil 0.6. İÇÇ için panel bağlı çalışmada kullanılmak üzere oluşturulan K&G MGNT ve Tip II kompensatör blok diyagramı

Çizelge 0.3. $V_{PV}/d(s)$ için Tip 2 Kompansatör Parametreleri

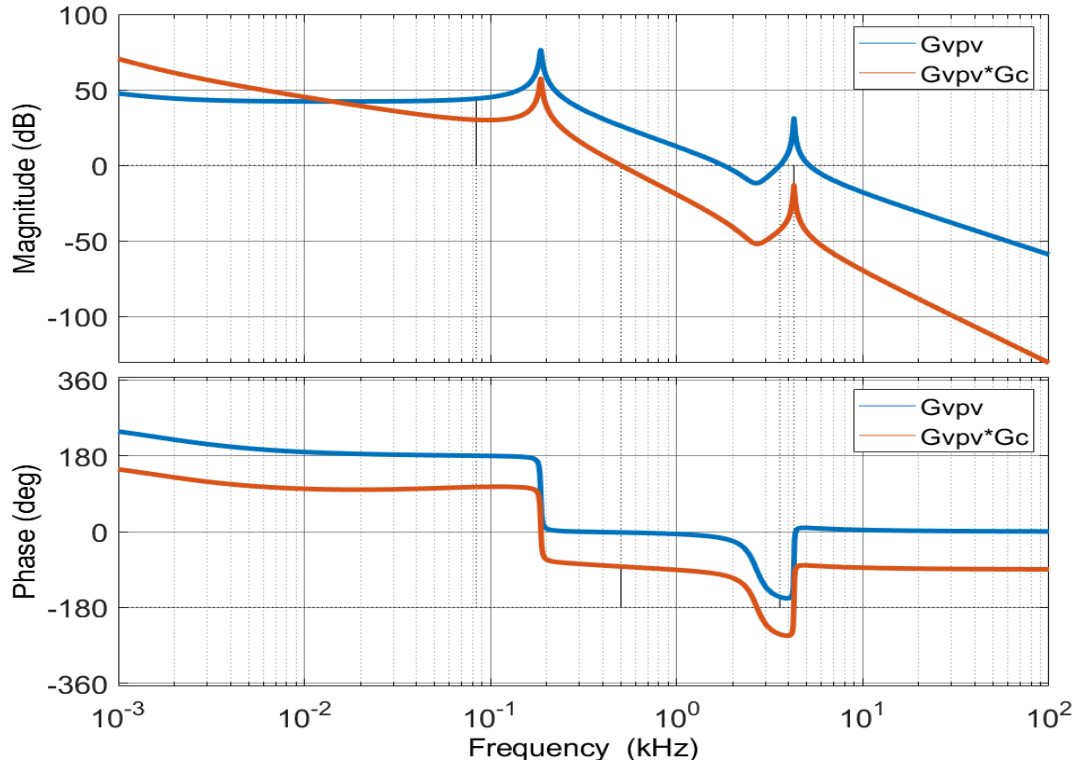
G_m	0.14	T_s	50 μs
f_z	100 Hz	f_p	187 Hz
PM	97.1° @0.502 kHz	GM	13.4 dB @4.26 kHz

Kontrolör dijital olarak gerçekleştirileceği için kontrolöre ilişkin ayrık zaman ifadesi trapezoidal dönüşüm yöntemi kullanılarak Denklem 2.35'deki gösterildiği hali ile elde edilmiştir.

$$G_c(s) = G_m \omega_z \frac{1 + \frac{s}{\omega_z}}{s(1 + \frac{s}{\omega_p})} \quad (2.34)$$

$$d(k) = \frac{8}{2\omega_p T_s + 4} d(k-1) + \frac{2\omega_p T_s - 4}{2\omega_p T_s + 4} d(k-2) + \frac{G_m \omega_p T_s (\omega_z T_s + 2)}{2\omega_p T_s + 4} e(k) + \frac{2G_m \omega_p \omega_z T_s^2}{2\omega_p T_s + 4} e(k-1) + \frac{G_m \omega_p T_s (\omega_z T_s - 2)}{2\omega_p T_s + 4} e(k-2) \quad (2.35)$$

Gm = 13.4 dB (at 4.26 kHz), Pm = 97.1 deg (at 0.502 kHz)



Şekil 0.7. İzoleli cuk çeviricinin görev döngüsünden panel gerilimine kompanze edilmemiş ve kompanze edilmiş çevrim fonksiyonu frekans cevapları

2.1.4. Batarya ve DA Gerilim Kaynağı ile Çalışma için $\hat{v}_{DA}/\hat{d}$ Transfer Fonksiyonunun Elde Edilmesi ve Kompansatör Tasarımı

Mikro-eviricinin DA-DA yükseltici çevirici birimi için tasarlanan İÇÇ'nin hem güneş paneline bağlı iken hem de batarya gibi doğrusal DA kaynaklara bağlı iken çalışması hedeflenmiştir. Bu noktada çevirici doğrusal güç kaynağından beslenirken kontrol edilmesi gereken parametre çeviricinin DA bara gerilimidir. Çeviricinin evirici birimini stabil bir şekilde besleyebilmesi için DA bara geriliminin 400 V değerinde tutulması gerekmektedir. Bu nedenle kontrolör tasarımı için elimizde bulunması gereken transfer fonksiyonu görev döngüsünden DA bara gerilimine $\hat{v}_{DA}/\hat{d}(s)$ olmalıdır. Bölüm 2.1.2'de elde edilen durum-uzay modelinden çıkarılan $\hat{v}_{DA}/\hat{d}(s)$ transfer fonksiyonu Denklem 2.36 ve 2.37'de verilen laplace dönüşümü yapılarak Denklem 2.38'deki gibi bulunmuştur.

$$G_{pvd}(s) = \hat{v}_{DA}/\hat{d}(s) = C[sI - A]^{-1}F \quad (2.36)$$

$$C = [0 \quad 0 \quad 0 \quad 0 \quad 0 \quad 1] \quad (2.37)$$

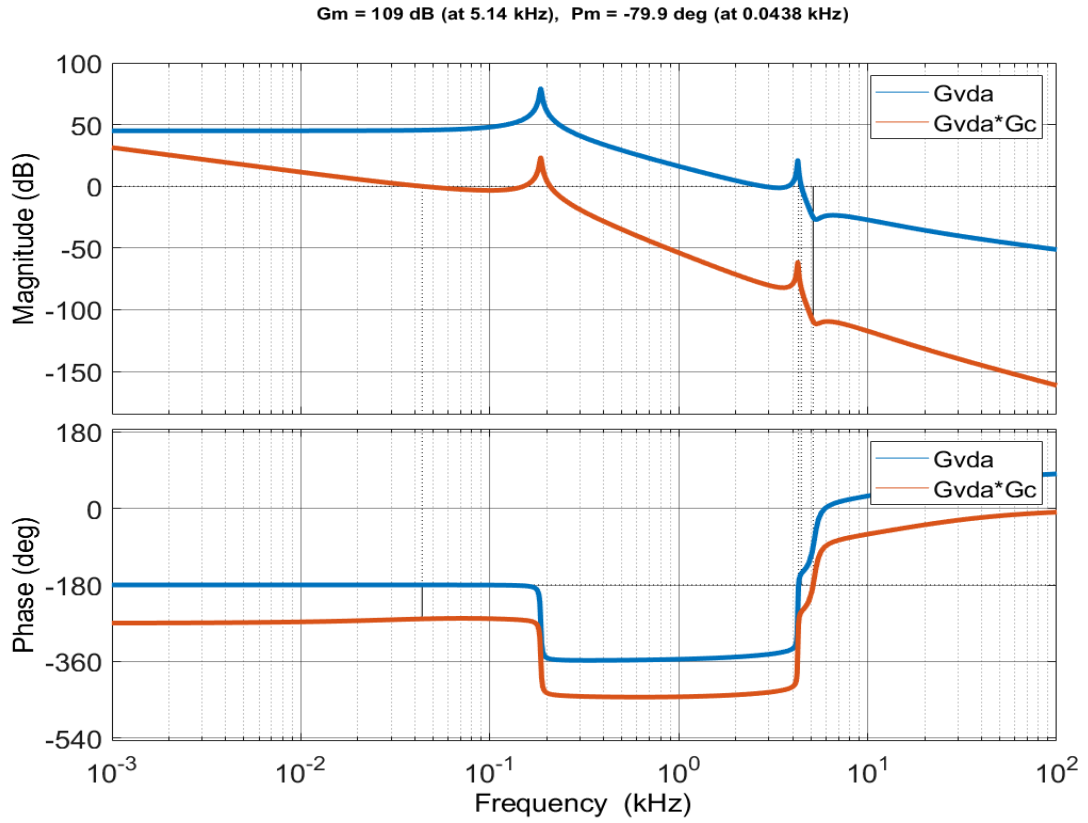
$$G_{pvd}(s) = \frac{-1699s^4 - 1.667e08s^3 - 2.348e12s^2 - 1.736e17s + 1.086e05}{s^5 - 263.3s^4 - 7.194e8s^3 + 1.614e10s^2 + 9.806e14s - 6218} \quad (2.38)$$

Elde edilen transfer fonksiyonunun bode analizi Şekil 2.8'de verilmiştir. Kompanze edilmemiş açık çevrim transfer fonksiyonunun frekans cevabında görüldüğü üzere sistemin -3 dB'deki bant genişliği yaklaşık olarak 4.45 kHz olarak ölçülmüştür. Doğrusal kaynak bağlı çalışırken kontrol edilmesi gereken DA bara gerilimi bu sefer daha yavaş olmak zorundadır. Bunun nedeni ise eviricinin çeviriciden beslenerek sinüzoidal akım oluşturması esnasında DA baradan şebeke frekansının iki katı büyüklüğünde bir frekansta dalgalı akım çekmesinden kaynaklanır. 100-120 Hz'lik dalgalanma kaynaklı oluşan problemler DA yük besleyen PFC çeviriciler için de geçerlidir [86]. Kontrolörün bu değişime yüksek hassasiyette cevap vererek eviricinin dengeli şekilde beslenmesini engellemesi istenilen bir durum değildir ve ciddi problemlere sebebiyet verebilmektedir. Bu tür uygulamalarda kontrolör ile kompanze edilmiş açık çevrim sistem cevabının kesim frekansının 100 Hz'lik dalgalanmaların etkisini azaltacak şekilde tasarlanması gerekir. Bu noktadan hareketle Şekil 2.8'deki

kompanze edilmiş sistem transfer fonksiyonunda görüldüğü gibi 100 Hz'deki kazanç -3 dB'ye düşürülmüştür.

Çizelge 0.4. $V_{DA}/d(s)$ için Tip 2 Kompansatör Parametreleri

G_m	0.0035	T_s	50 μs
f_z	60 Hz	f_p	90 Hz
PM	79.9° @0.0438 kHz	GM	-109 dB @5.14 kHz



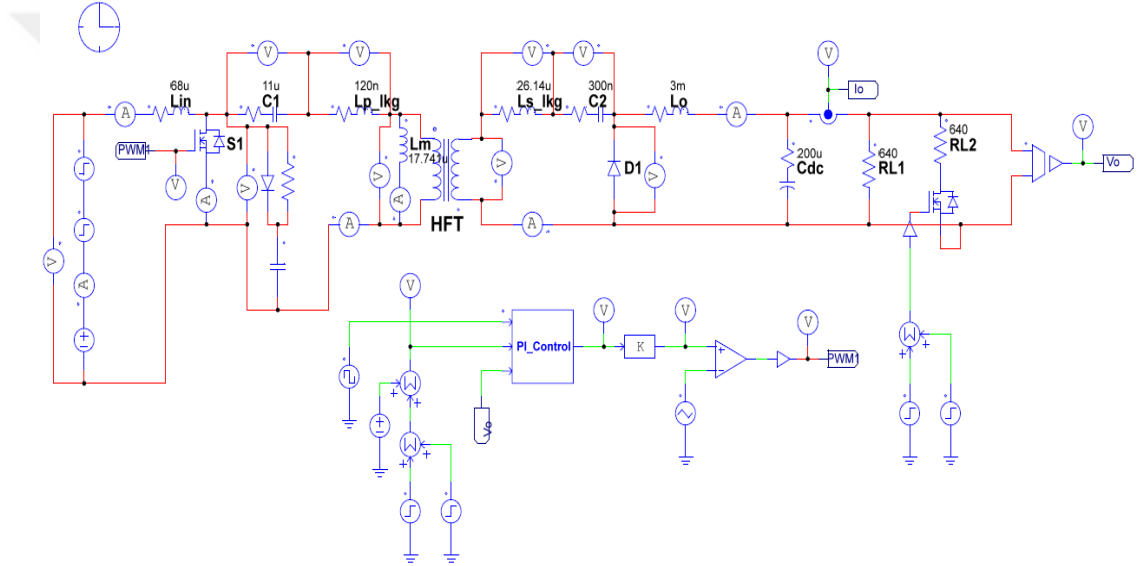
Şekil 0.8. İzoleli cuk çeviricinin görev döngüsünden DA bara gerilimine kompanze edilmemiş ve kompanze edilmiş çevrim fonksiyonu frekans cevapları

2.2. İZOLELİ CUK ÇEVİRİCİ KAPALI ÇEVİRİM KONTROL SİMÜLASYONUNU

İCÇ'nin simülasyonları PSIM programı kullanılarak gerçekleştirilmiştir. İCÇ'ye ait simülasyon devre şeması Şekil 2.9'da verilmiştir. Simülasyonlar kapsamında öncelikle kalıcı durumda, nominal koşullar altında ve tam yükte iken devre elemanları üzerindeki akım-gerilim dalga şekilleri incelenerek, öngörülen sınırlar içinde kalıp

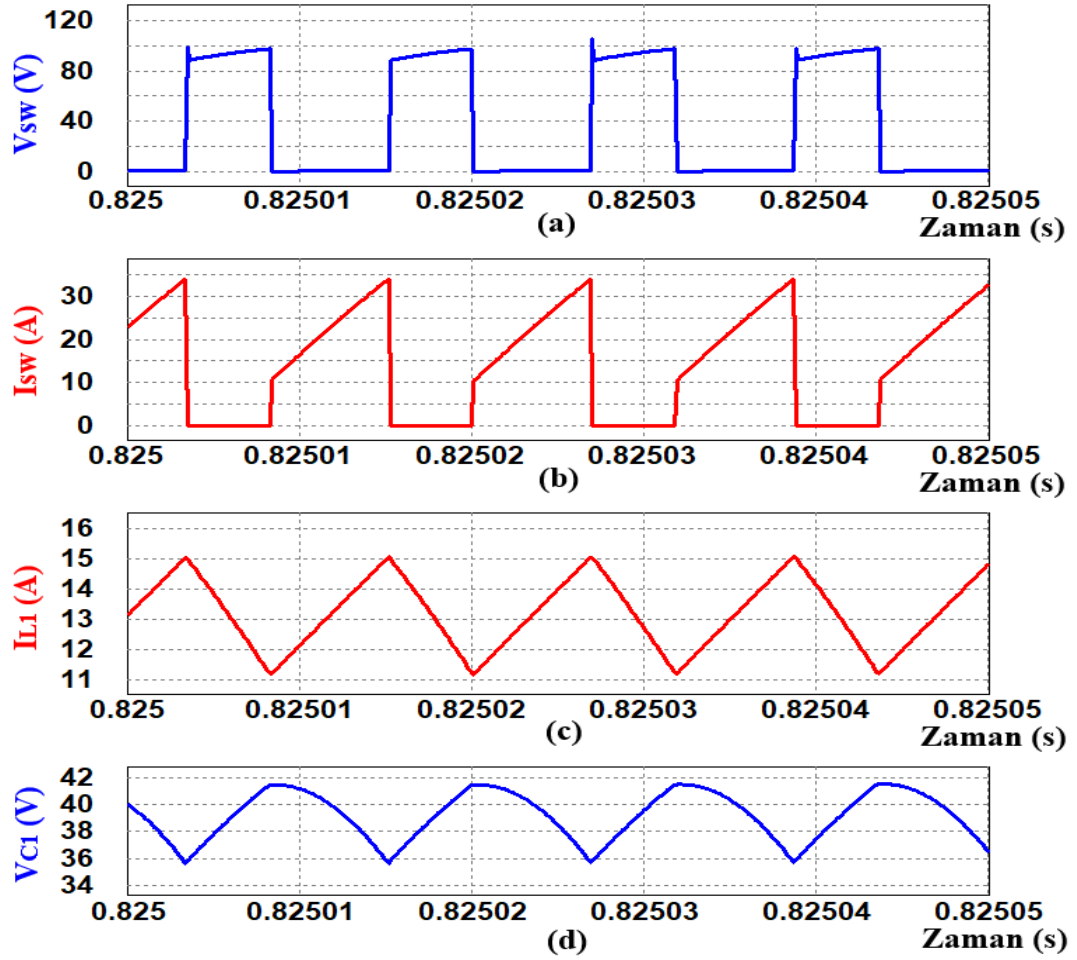
kalmadığı gözlemlenmiştir. Ayrıca nominal koşullarda tam yükte çalışırken çevirici elemanları üzerindeki akım ve gerilimlerin tepe, ortalama ve RMS değerleri kaydedilerek manyetik malzemelerin üretilmesi aşamasında kullanılmıştır.

İlk olarak kapalı çevrim kontrollü çeviricinin DA gerilim kaynağına bağlı çalışırken değişken yük ve değişken giriş gerilimi değerlerine karşı çıkış gerilimi regülasyon performansı gözlemlenmiştir. İkinci olarak ise çeviricinin girişine güneş paneli bağlı çalışmada K&G MGNT algoritmasının değişen panel ışıma şiddetine karşı yüke aktarılan güçteki etkisi gözlemlenmiştir.



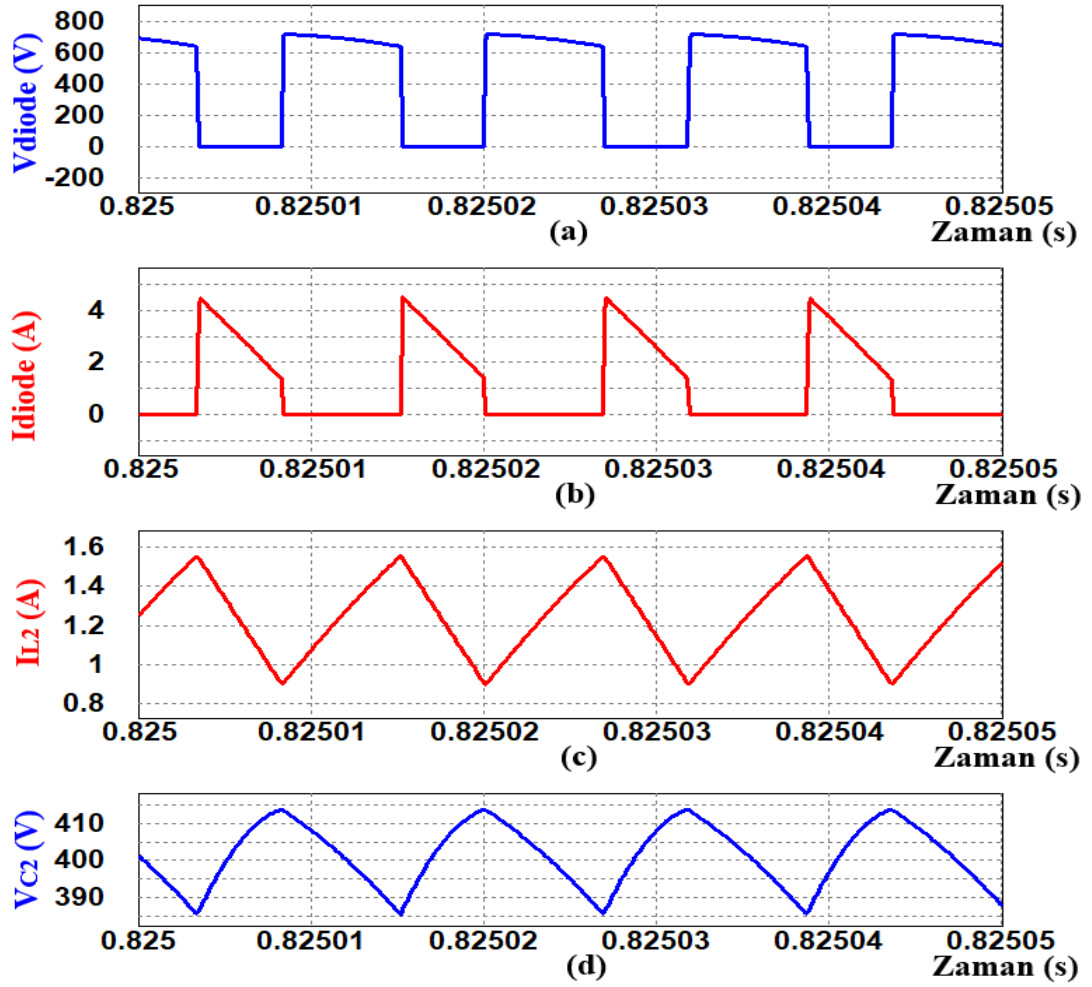
Şekil 0.9. İzoleli Cuk Çevirici PSIM Simülasyonu Güç ve Kontrol Devre Şeması

Kalıcı durum simülasyonları kapsamında öncelikle ana güç anahtarı S üzerine düşen gerilim değeri ve üzerinden geçen akım değeri incelenmiştir. Bu gözlem uygulamada sorunsuz ve verimli çalışacak olan güç anahtarının düzgün seçimi açısından önem taşımaktadır. Şekil 2.10 (a)'da görüldüğü üzere anahtarın üzerinde oluşan gerilim stresi 100 V civarındadır ve bu değer de yaklaşık olarak $V_{C1} + V_{primer}$ toplamına karşılık gelmekte iken Şekil 2.10 (b)'de görüldüğü üzere MOSFET üzerinden geçecek akım değeri 30 A tepe değerini görmektedir. Bu veriler ışığında uygulama için IPD320N20 MOSFET ana güç anahtarı olarak seçilmiştir. Şekil 2.10 (c)'de ise L_1 üzerindeki akımın SİM'de çalıştığı gözlemlenirken, Şekil 2.10 (d)'de C_1 üzerindeki gerilimin ortalama değeri V_g 'ye eşit olduğu gözlemlenmiştir.



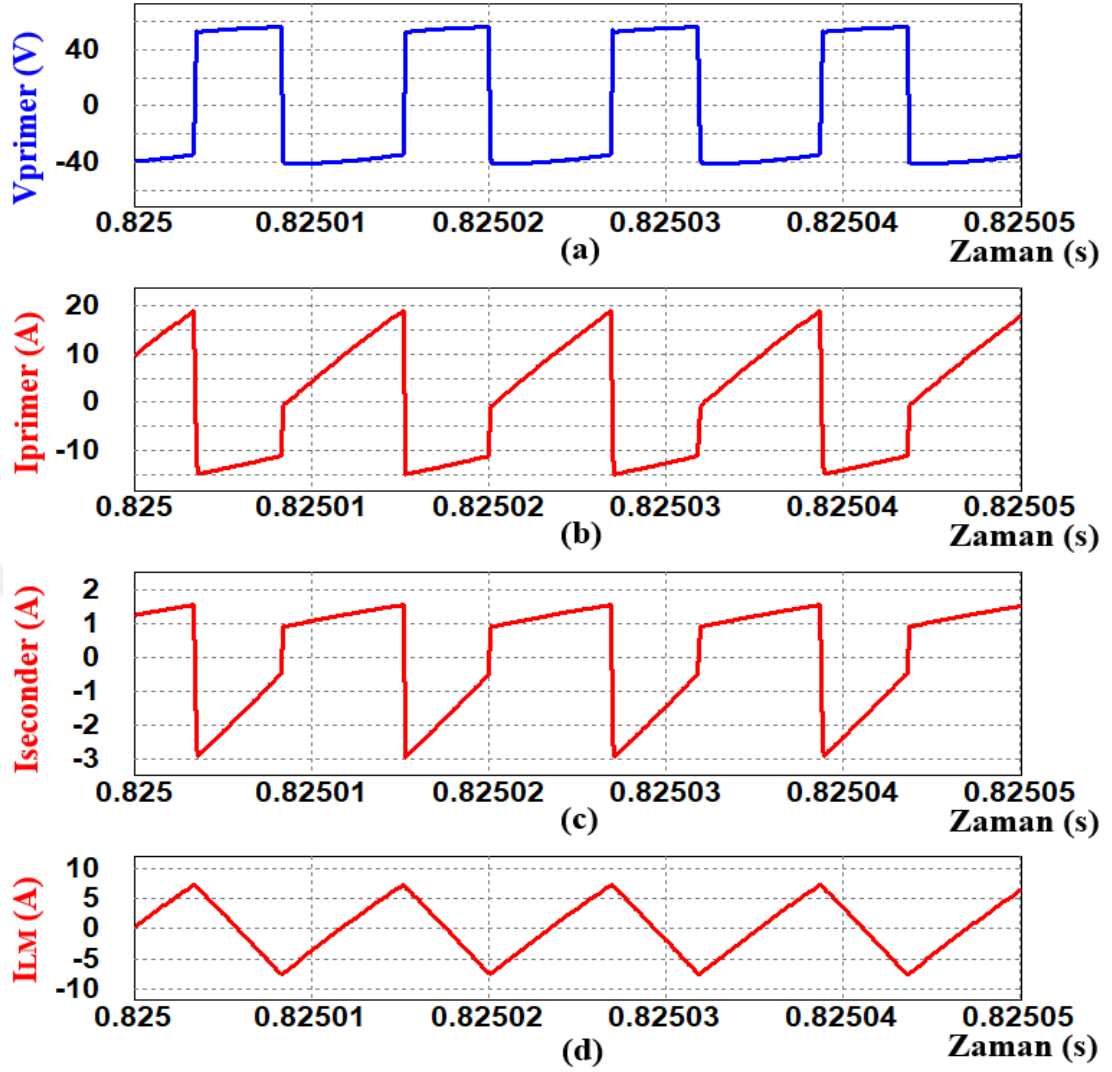
Şekil 0.10. İzoleli cuk çevirici tam yükte iken (a) güç anahtarı üzerindeki gerilim, (b) güç anahtarından akan akım, (c) giriş bobinin akımı ve (d) orta-giriş kapasitörünün gerilimi.

İCÇ'nin sekonder tarafında bulunan diyotun çalışma koşullarının gösterildiği Şekil 2.11 (a) ve (b)'den diyot üzerinde bloke edilen gerilimin yaklaşık 700 V olduğu ve ileri yön akımının yaklaşık 4 A tepe değerine sahip olduğu gözlemlenmiştir. Diyot üzerindeki iletim kayıplarını azaltırken güvenli bir kırılma gerilimi dayanımı sağlamak amacıyla uygulamada silikon-karbit (SiC) schottky teknolojisine sahip PCDB10120G1 diyotu seçilmiştir. Şekil 2.11 (c)'de ise L_2 üzerindeki akımın SİM'de çalıştığı gözlemlenmiştir.



Şekil 0.11. İzoleli cuk çevirici tam yükte iken (a) diyot üzerindeki gerilim, (b) diyot üzerinden akan akım, (c) çıkış bobinin akımı ve (d) orta-çıkış kapasitörünün gerilimi.

CKİ'nin çalışma durumu incelendiğinde ise Şekil 2.12'de akım- gerilim grafikleri gösterilmiştir. Manyetik bileşenin çift yönlü çalıştığı DT_s aralığında primerde negatif bir gerilim indüklenirken görev döngüsünün negatif periyodunda ise primerde pozitif bir gerilimin indüklendiği gözlemlenmiştir. Şekil 2.12 (b) ve (c)'deki primer ve sekonder akımları incelendiğinde ise MOSFET üzerine oluşan akım stresinin %60'dan fazlasının primer akımı nedeniyle oluştuğu anlaşılmıştır. Bu durum CKİ'nin doyuma gitmemesi ve MOSFET'i yakmaması için gereken önlemlerin alınmasının önem arz ettiğini göstermektedir. Son olarak Şekil 2.12 (d)'de verilen manyetizasyon akımının CKİ'nin DT_s ve $D'T_s$ sürelerinde tam olarak şarj-deşarj olabildiği, alternanslardan birinde birikim olmadığı ve dengede çalışabildiği gözlemlenmiştir.



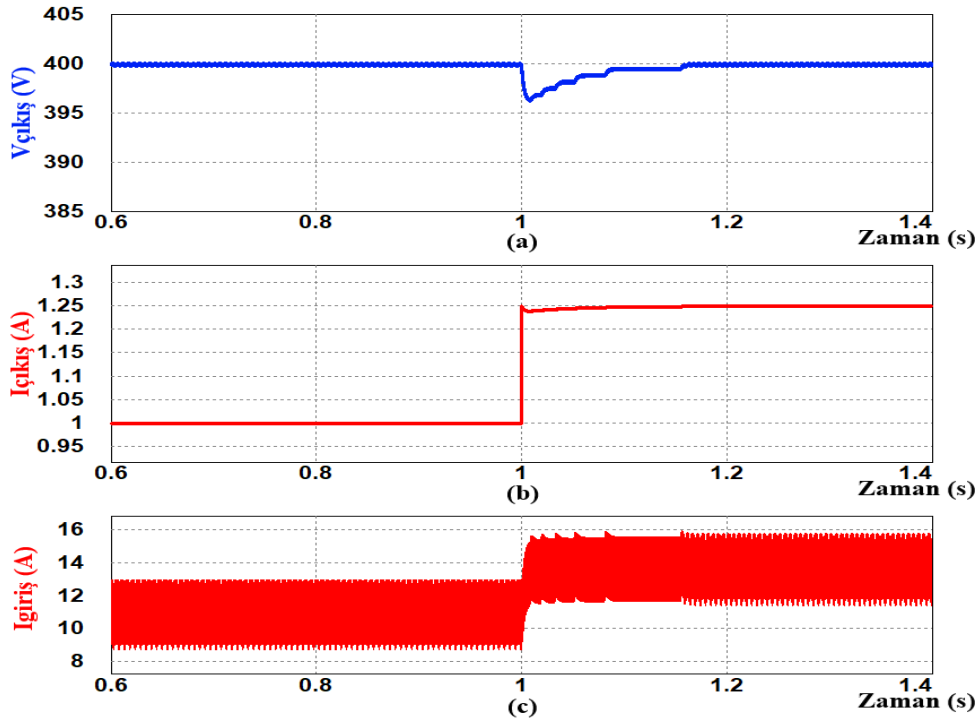
Şekil 0.12. İzoleli cuk çevirici tam yükte iken (a) trafonun primer gerilimi, (b) trafonun primer akımı, (c) trafonun sekonder akımı ve (d) trafo manyetizasyon akımı.

2.2.1. Doğrusal Güç Kaynağında Tip-2 Kompansatör ile İzoleli Cuk Çeviricinin DC gerilim kaynağı girişli durum için Kapalı Çevrim Kontrol Simülasyonu

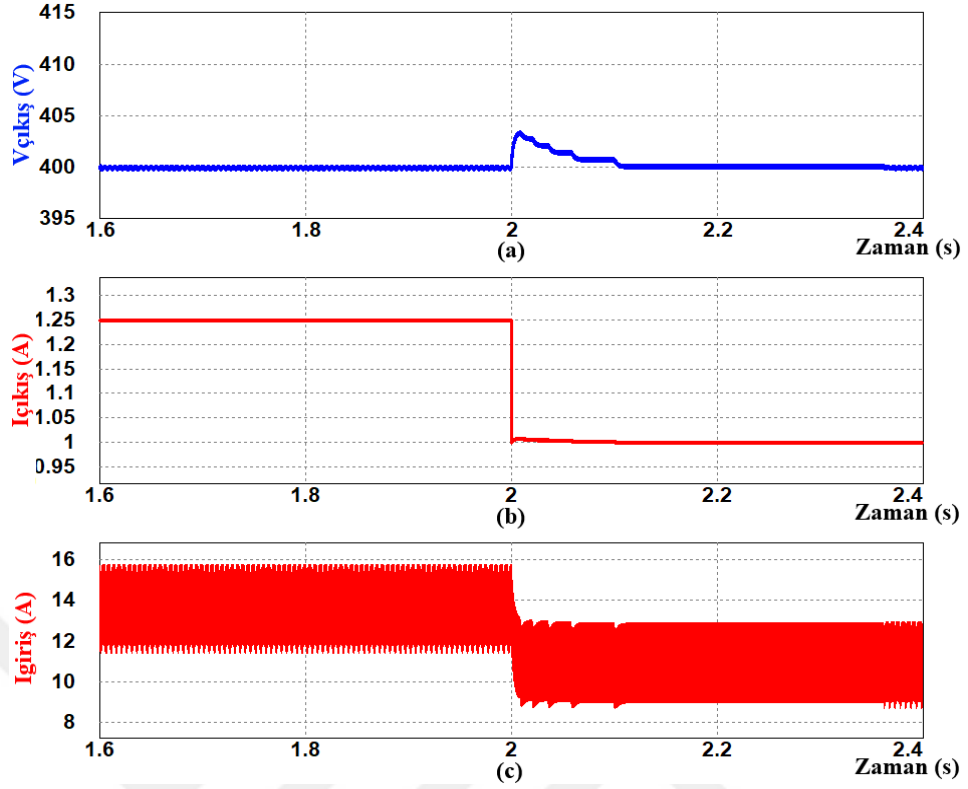
İÇÇ güneş panellerinden beslenerek şebekeye ya da yüke sinüzoidal akım enjekte edebileceği batarya ya da DA şebeke gibi doğrusal güç kaynaklarından beslenerek de bu işlemleri yapabilmektedir. Doğrusal giriş gücü ile DA gerilim kaynağı ile beslenen çalışırken İÇÇ'nin çıkış DA bara geriliminin kontrol edilmesi için tasarlanan Tip-2 kompensatör ile yapılan simülasyonlarda ise öncelikle yük değişimlerine karşı kontrol performansı ölçümleri yapılmıştır. Bu testlerden sonra ise kompensatörün değişen

giriş gerilimlerine karşı DA bara geriliminde nasıl bir kontrol performansı sergilediği gözlemlenmiştir.

İlk olarak yapılan simülasyonda İCÇ 40 V sabit kaynak geriliminde ve %80 yükte çalışırken 1. saniyede yüklenme %100'e çıkarılmıştır. Yapılan simülasyona ilişkin ölçümlerin yer aldığı Şekil 2.13'de bu değişime karşılık çıkış gerilimi, çıkış akımı ve giriş akımında meydana gelen değişimler gözlemlenmiştir. Şekil 2.13 (a)'da görüldüğü üzere 1. saniyede ani yük değişimi yaşandığında çıkış gerilimi 400 V'dan 396 V'a kadar düşmüş ve kontrolör çıkış gerilimini yaklaşık olarak 0.1 saniyede yükseltmiştir. Buna karşılık Şekil 2.13 (b) ve (c)'de de gösterildiği gibi çıkış akımı ile giriş akımı yük değişimine daha hızlı adapte olmuştur. Azalan yüklenme oranı için yapılan simülasyonlarda ise kompensatör benzer bir performans göstermiştir. Şekil 2.14 (a)'da 2. Saniyede %100'den %80'e düşen yüklenme oranına karşı kompensatörün çıkış geriliminde verdiği tepki gözlemlenmiştir. Yük azaldığında çıkış gerilimi 400 V'dan 404 V'a kadar çıkmış ve yine kontrolör 0.1 saniyede çıkış gerilimini toplamıştır. Tasarlanan kontrolör %20'lik yük değişimlerinde çıkış gerilimindeki sapmayı %1 ile sınırlamıştır.

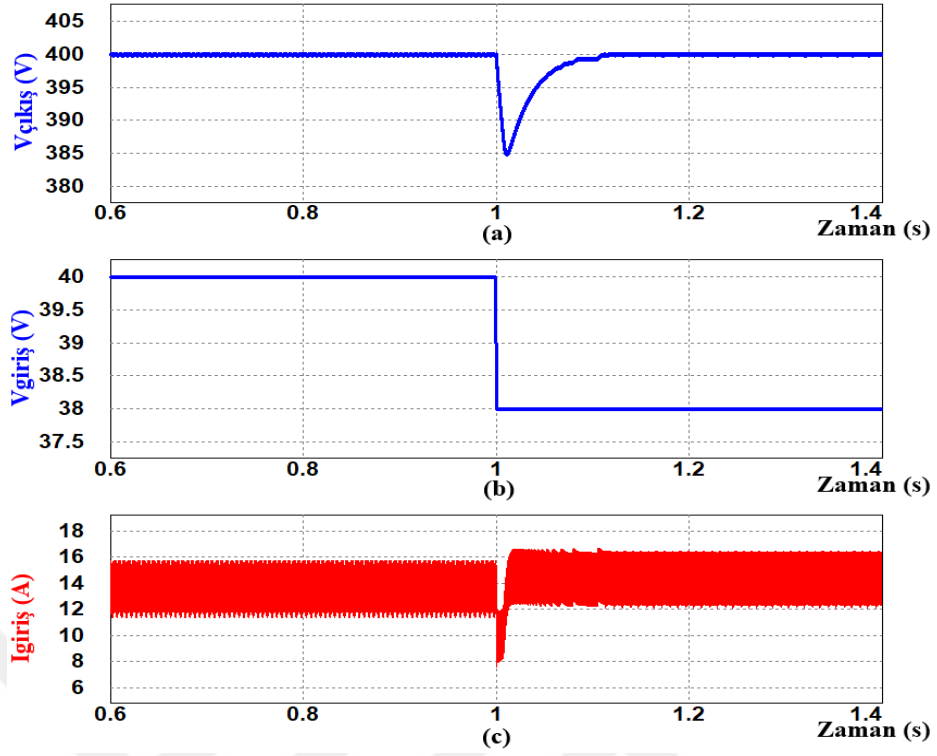


Şekil 0.13. İzoleli cuk çevirici %80'den %100'e yük değişimi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.

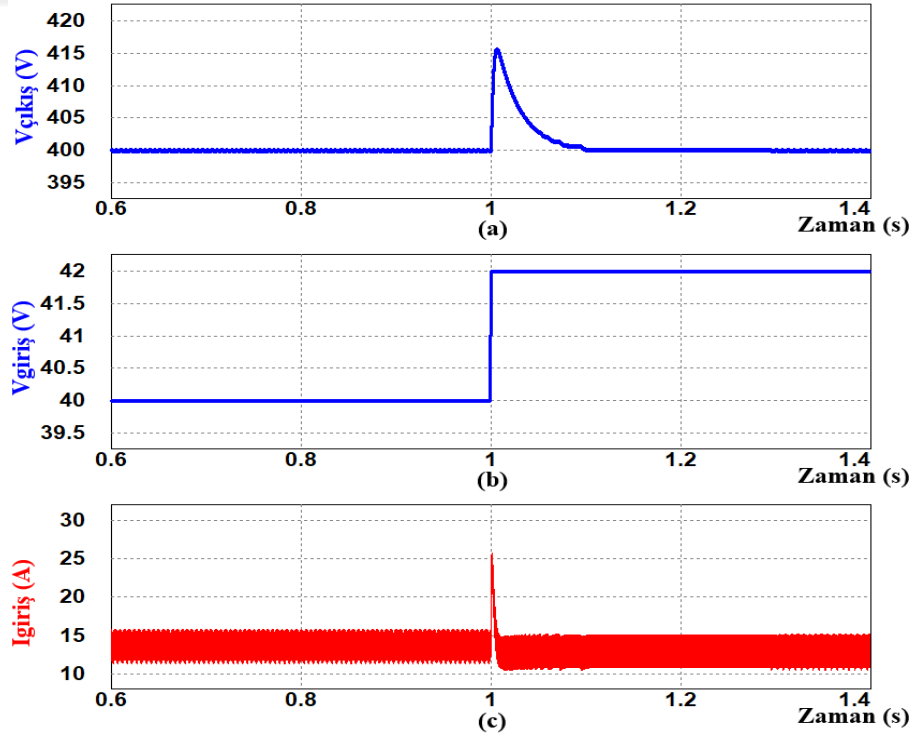


Şekil 0.14. İzoleli cuk çevirici %100'den %80'e yük değişimi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.

Doğrusal kaynakta Tip-2 kompensatör ile yapılan simülasyonlardan ikinci kısmında tasarlanan kompensatörün değişen kaynak gerilimine karşılık çıkış gerilimindeki kontrol performansı ölçülmüştür. İlk olarak 1. saniyede İCÇ tam yükte çalışırken giriş gerilimi 40 V'dan 38 V'a düşürülmüştür. Giriş gerilimindeki düşüş Şekil 2.15 (b)'de gösterilmiştir. Ani giriş gerilimi değişimine karşılık Şekil 2.15 (a)'da gösterildiği gibi çıkış gerilimi 385 V'a kadar düşmüştür ve yaklaşık 0.1 saniyede kontrolör çıkış gerilimini toparlamıştır. Şekil 2.15 (c)'de ise bu esnada giriş akımında meydana gelen değişim verilmiştir. Benzer şekilde artan kaynak gerilimi için de simülasyonlar yapılmış ve Şekil 2.16'daki sonuçlar elde edilmiştir. Kontrolör performansı İCÇ tam yükte çalışırken giriş gerilimi değişimine çıkış geriliminde %5'in altında bir dalgalanma oluşmasına izin vermiştir.



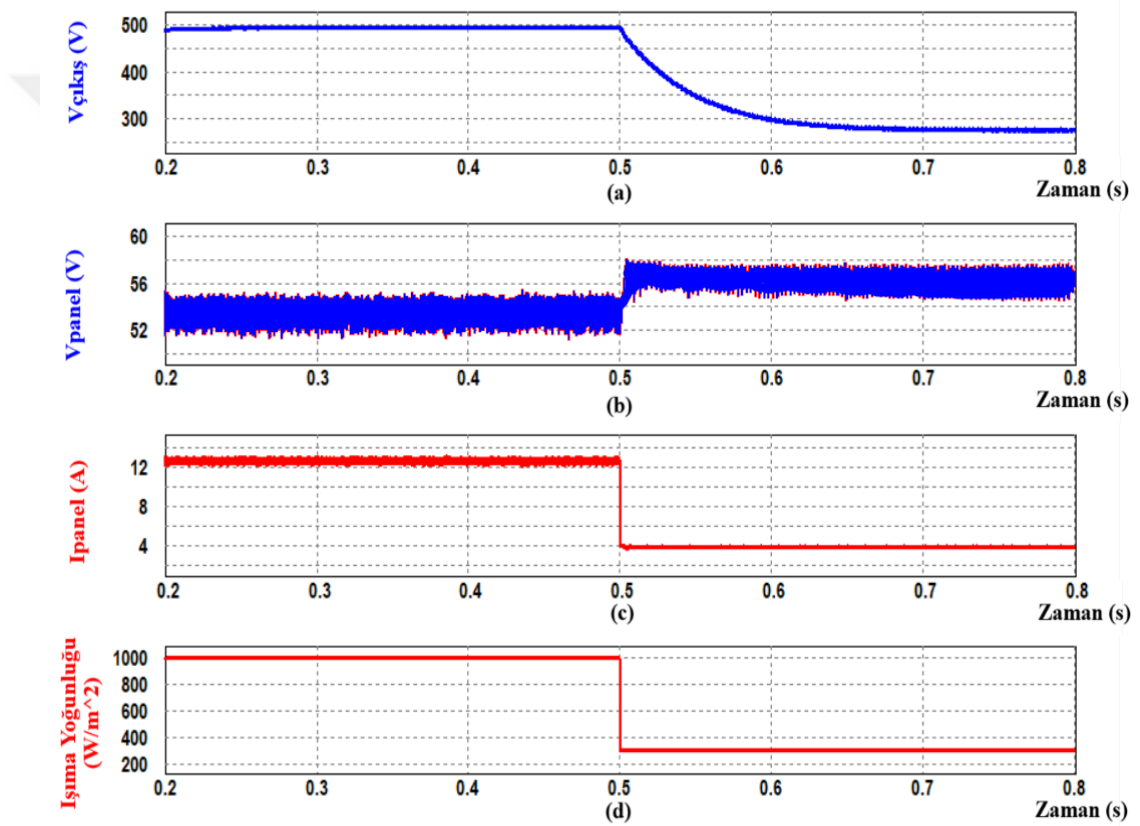
Şekil 0.15. İzoleli cuk çevirici giriş geriliminin düşmesi esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.



Şekil 0.16. İzoleli cuk çevirici giriş geriliminin artması esansındaki (a) çıkış gerilimi, (b) çıkış akımı ve (c) giriş akımı ifadeleri.

2.2.2. Güneş Panelinde K&G MGNT Algoritması ile İzoleli Cuk Çeviricinin Kontrol Simülasyonu

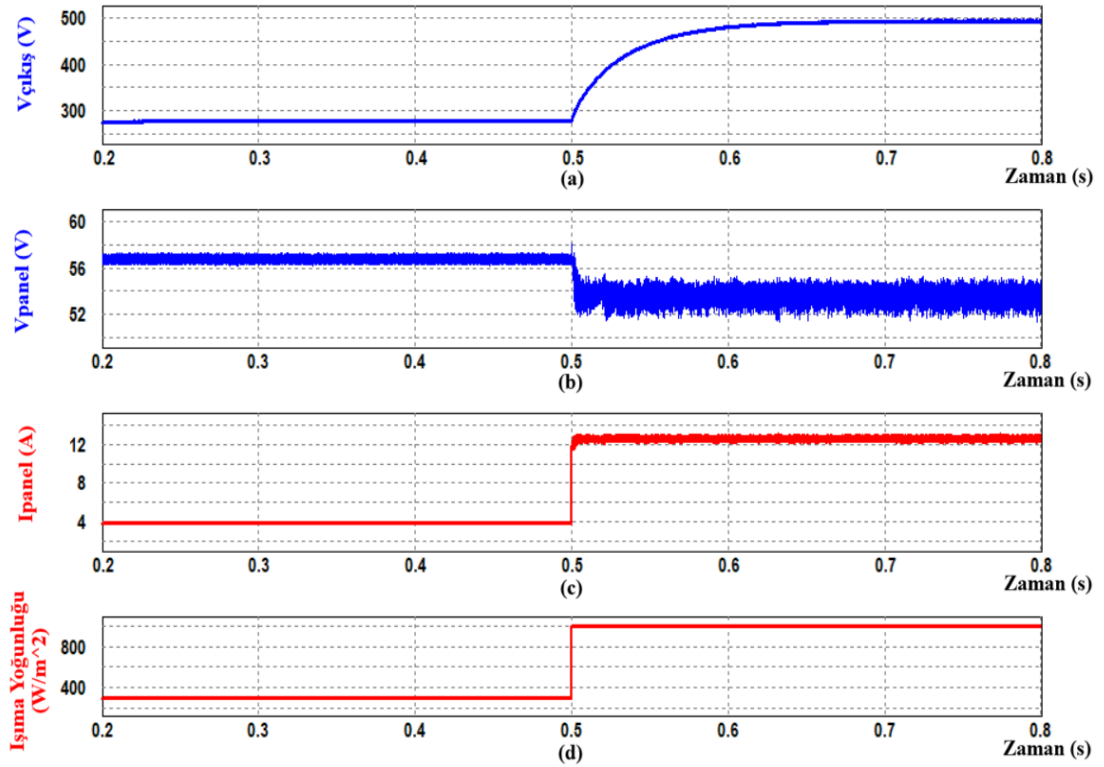
İCÇ'nin güneş paneline bağlı çalışmasında kontrolü sağlamak üzere K&G MGNT algoritması kullanılmıştır. Panelden maksimum gücün çekilmesi için kullanılan K&G algoritması panel akım ve gerilim değerlerini ölçerek çekilen gücü hesaplayan ve bir önceki durumla oluşan farka göre görev döngüsünü arttıran ya da azaltan ve yaygın olarak kullanılan en temel MGNT bir algoritmasıdır.



Şekil 0.17. İCÇ güneş paneli bağlı çalışmada düşen ışıma şiddeti için K&G MGNT algoritması tepkisi (a) çıkış gerilimi, (b) panel gerilimi, (c) panel akımı ve (d) ışıma yoğunluğu

Simülasyon kapsamında İCÇ 400 Ω 'luk direnç yükü ile çalışırken, panel üzerine düşen ışıma yoğunluğunun 1000 W/m²'den 300 W/m²'ye düşürüldüğü durumda ve 300 W/m²'den 1000 W/m²'ye çıkarıldığı durumda çıkıştaki yüke aktarılan güç, çıkış gerilimi, panel akımı, panel gerilimi ve ışıma değişimi ölçülmüştür. Şekil 2.17 (a)'da

azalan ısıma yoğunluğuna karşılık çıkış gerilimindeki değişim gözlemlenmiştir, gerilim değeri yaklaşık 120 V azalırken yüke aktarılan güç 612 W'tan 193 W'a düşmüştür. Şekil 2.17 (b) ve (c)'de ise panel akım ve gerilim grafikleri verilmiştir. Panele düşen ısıma yoğunluğunun arttığı senaryo için yapılan simülasyon sonuçları ise Şekil 2.18'de verilmiştir. Şekil 2.18 (a)'da çıkış geriliminin 280 V'dan 500 V'a çıktığı ve ani ısıma değişimine karşılık çıkış gerilimindeki değişimin 0.1 saniye sürdüğü gözlemlenmiştir.

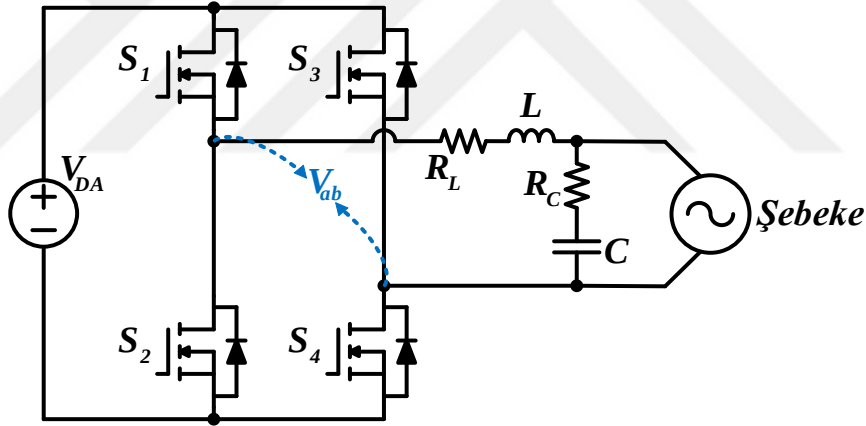


Şekil 0.18. İCÇ güneş paneli bağlı çalışmada artan ısıma şiddeti için K&G MGNT algoritması tepkisi (a) çıkış gerilimi, (b) panel gerilimi, (c) panel akımı ve (d) ısıma yoğunluğu

2.3. EVİRİCİNİN MODELLENMESİ, FAZ KİLİTLİ DÖNGÜ VE D-Q AKIM KONTROLCÜSÜNÜN TASARIMI

Tipik bir tek fazlı tam köprü evirici, Şekil 2.19'da gösterilmiştir, bu topolojide alternatif gerilim, tam köprünün uygun bir sırayla anahtarlanmasıyla oluşturulur. Tam köprü eviricinin çıkış gerilimi V_{ab} , giriş DA gerilimi ve eviricinin görev döngüsüyle orantılıdır, anahtarların nasıl kontrol edildiğine bağlı olarak $+V_{DA}$, 0 veya $-V_{DA}$

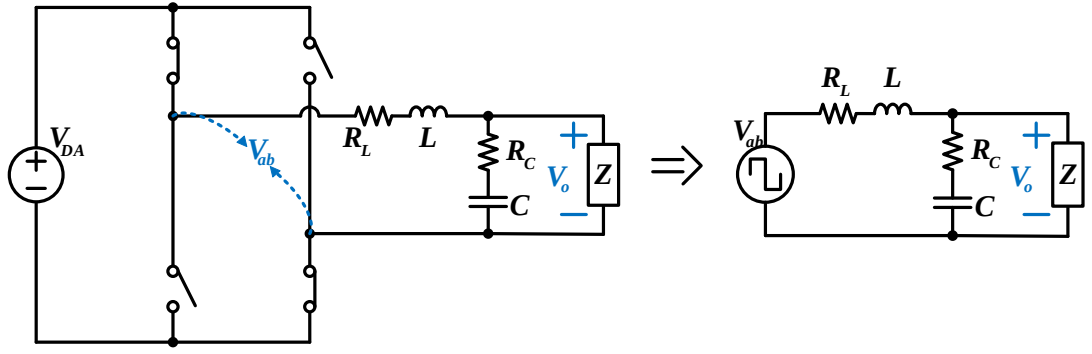
değerlerini alır. Tek bacadaki anahtarların aynı anda açık olamayacağına dikkat edilmelidir; aksi takdirde DA kaynağında kısa devre meydana gelebilir. Darbe Genişliği Modülasyonu (DGM), çıkış geriliminin genliğini ve frekansını doğrudan kontrol ederek anahtarların uygun geçiş sinyallerini oluşturmak için kullanılır. Yüksek kalitede bir sinüzoidal gerilim oluşturmak için, anahtarlama harmonikleri gibi yüksek frekanslı harmoniklerin diferansiyel mod alçak geçiren bir filtre kullanılarak filtrelenmesi gerekmektedir. Anahtarlama frekansı arttıkça filtre parametrelerinin değerleri de azalarak uygulama boyutunu ve maliyetini düşürmektedir. Öte yandan artan anahtarlama frekansı eviricide anahtarlama kayıplarının artarak verimin azalmasına neden olabilmektedir. Yeni nesil hızlı anahtarlama yapabilen MOSFET'lerin kullanılması durumunda ise yüksek di/dt sebebiyle oluşan gürültünün de filtrelenmesi ihtiyacı ortaya çıkmaktadır. Bu gürültünün filtrelenmesi için ise ortak mod filtrelerin kullanılması gerekmektedir.



Şekil 0.19. LC filtreli tam köprü evirici güç katı devre şeması

2.3.1. Eviricinin Durum-Uzay Modelinin elde Edilmesi

Şekil 2.20'deki indirgenmiş tam köprü eviriciye ait modelden elde edilen durum-uzay modeli Denklem 2.39-Denklem 2.41'de verilmiştir. Burada i_L ve v_C sırasıyla bobin akımı ve kapasitör gerilimi durum değişkenleridir. Bobin ve kapasitörün ESD'leri de dikkate alınmıştır. Evirici yükü ise Z ile tanımlanmıştır. LC filtreli tam köprü eviricinin s domaininde elde edilen blok diyagramı ise Şekil 2.21'de verilmiştir.

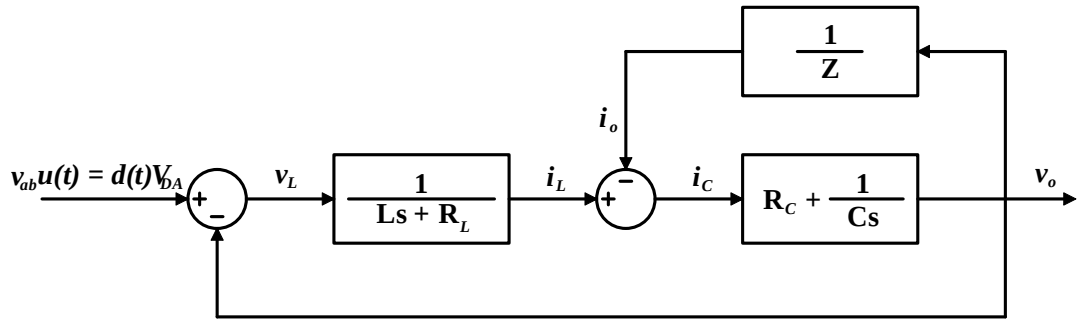


Şekil 0.20. LC filtreli tam köprü evirici eşdeğer devresinin oluşturulması

$$\frac{d}{dt} \begin{bmatrix} i_L \\ v_C \end{bmatrix} = \begin{bmatrix} \frac{Z(R_L + R_C) - R_L R_C}{L(Z + R_C)} & \frac{-Z}{L(Z + R_C)} \\ \frac{1}{C(1 + \frac{R_C}{Z})} & \frac{-1}{ZC(1 + \frac{R_C}{Z})} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix} v_{ab} u(t) \quad (2.39)$$

$$v_o = \begin{bmatrix} \frac{Z R_C}{Z + R_C} & \frac{Z}{Z + R_C} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} \quad (2.40)$$

$$u(t) = \begin{cases} 1 & v_{ab} > v_{DA} \\ 0 & v_{ab} = v_{DA} \\ -1 & v_{ab} < v_{DA} \end{cases} \quad (2.41)$$

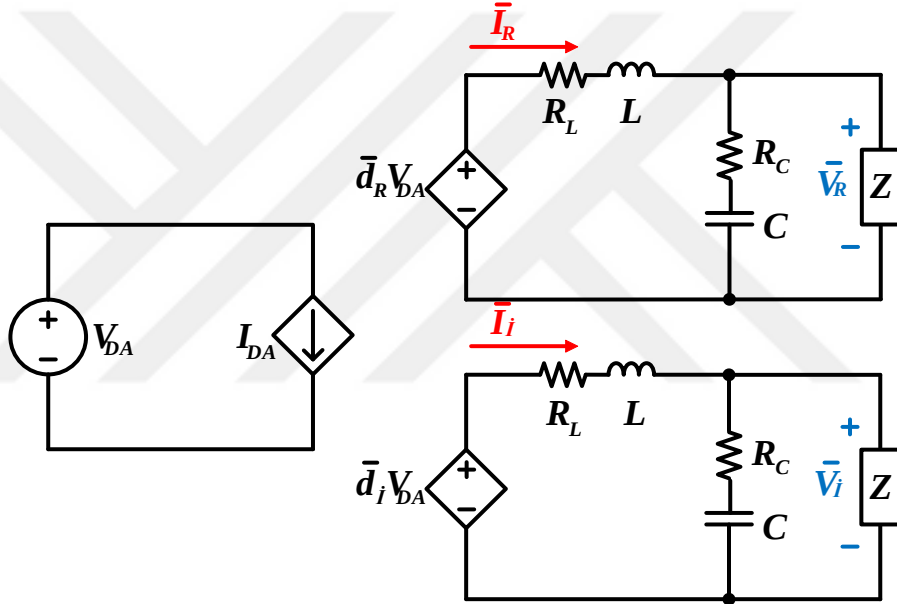


Şekil 0.21. LC filtreli tam köprü eviricinin blok diyagramı

Öte yandan eviricinin kontrolü için bu modeller üzerinden bir analiz yapmak ve doğrusal kontrol yöntemleri kullanarak sinüzoidal akım kontrolü yapmak mümkün değildir. Enjekte edilecek olan akımın DA bileşenlerle ifade edilmesi ve kontrolün bu parametreler üzerinden sağlanması gerekmektedir. Bu noktada karşımıza çıkan D-Q akım kontrolü yönteminde sinüzoidal olan AA ifade Park-Clark dönüşümleri kullanılarak öncelikle α - β ekseninde sonra da direct-quadrature (D-Q) eksenine dönüştürülerek DA bileşenler ile ifade edilir.

D-Q dönüşümü en çok üç fazlı dönüştürücülerin analiz ve kontrol tasarımında kullanılır. Eviricinin D-Q modeli elde edildiğinde zamanla değişen tüm durum değişkenleri DA olur Böylece evirici bir DA-DA dönüştürücü gibi ele alınabileceği için analiz daha kolay hale gelir.

Öte yandan tek fazlı dönüştürücülerde yalnızca bir fazın mevcut olması nedeniyle devredeki her durum değişkeni için dönüşümün yapılabilmesi adına ikinci bir sanal faz bilgisinin üretilmesi gerekir. Eviricinin reel ve imajiner bileşenleri ile modellendiği devre şeması Şekil 2.22’de verilmiştir.



Şekil 0.22. Tam köprü eviricinin reel ve imajiner kısımları ile modellenmesi

$\bar{I}_R$ modelde eviricideki fiziksel bobin akımına denk gelirken $\bar{I}_i$ D-Q dönüşümünün yapılması için kullanılmak üzere oluşturulan sanal akım bilgisine karşılık gelmektedir. $\bar{I}_i$ ifadesi fiziksel olarak mevcut değildir. Benzer durum filtre kapasitörü üzerindeki sanal olarak üretilen gerilim ifadesi $\bar{V}_i$ için de geçerlidir. Şekil 2.22 kullanılarak elde edilen ortalama durum-uzay modeli Denklem 2.42 ve 2.43’de verilmiştir.

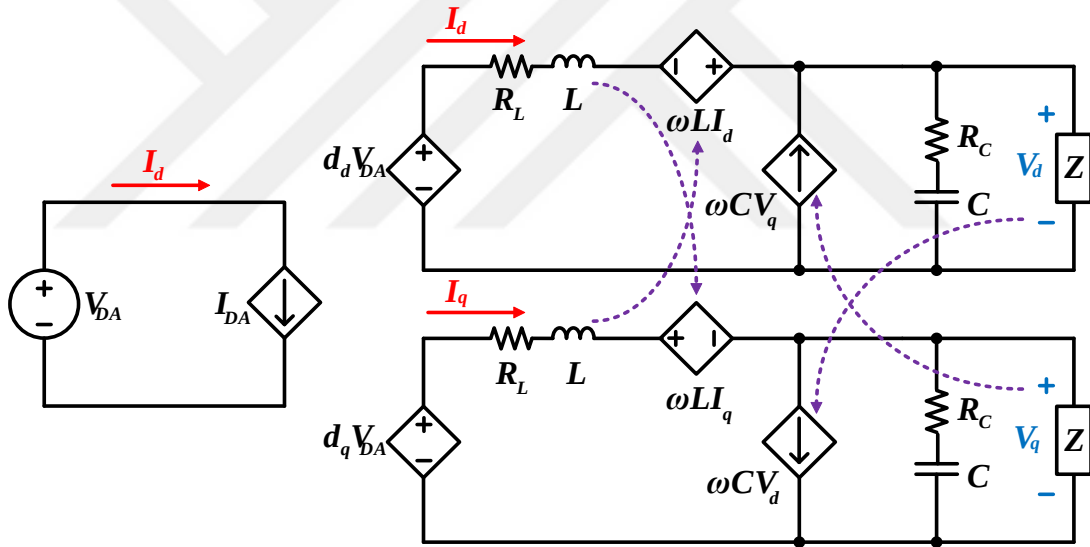
$$\frac{d}{dt} \begin{bmatrix} \bar{I}_{LR} \\ \bar{I}_{Li} \end{bmatrix} = \frac{1}{L} \left(-R_L - \frac{R_C}{\left(1 + \frac{R_C}{Z}\right)} \right) \begin{bmatrix} \bar{I}_{LR} \\ \bar{I}_{Li} \end{bmatrix} + \left(-\frac{1}{L} + \frac{R_C}{LZ \left(1 + \frac{R_C}{Z}\right)} \right) \begin{bmatrix} \bar{V}_{CR} \\ \bar{V}_{Ci} \end{bmatrix} + \frac{V_{DA}}{L} \begin{bmatrix} \bar{d}_R \\ \bar{d}_i \end{bmatrix} \quad (2.42)$$

$$\frac{d}{dt} \begin{bmatrix} \bar{V}_{C_R} \\ \bar{V}_{C_l} \end{bmatrix} = \frac{1}{C \left(1 + \frac{R_C}{Z}\right)} \begin{bmatrix} \bar{I}_{L_R} \\ \bar{I}_{L_l} \end{bmatrix} - \frac{1}{ZC \left(1 + \frac{R_C}{Z}\right)} \begin{bmatrix} \bar{V}_{C_R} \\ \bar{V}_{C_l} \end{bmatrix} \quad (2.43)$$

Averaj model elde edildikten sonra eviricinin D-Q modeli geliştirilebilir. Evirici dinamiğini temsil eden D-Q denklemlerini elde etmek için Denklem 2.44-45’de verilen dönüşüm matrisleri ve eviricinin averaj durum-uzay denklemleri kullanılarak D-Q eksenindeki evirici Şekil 2.23’deki gibi ifade edilebilir.

$$T = \begin{bmatrix} \cos(\omega t) & \sin(\omega t) \\ -\sin(\omega t) & \cos(\omega t) \end{bmatrix} \quad (2.44)$$

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = T \begin{bmatrix} V_{\alpha\beta} \cos(\omega t + \varphi) \\ V_{\alpha\beta} \sin(\omega t + \varphi) \end{bmatrix} = V_{\alpha\beta} \begin{bmatrix} \cos(\varphi) \\ \sin(\varphi) \end{bmatrix} \quad (2.45)$$



Şekil 0.23. LC filtreli tam köprü çeviricinin güç katına ilişkin D-Q düzlemine aktarılmış eşdeğer devre şeması

Şekil 2.23’deki D-Q eksenindeki evirici modeli kullanılarak oluşturulan averaj durum-uzay modeli Denklem 2.46-2.47’de verilmiştir.

$$\begin{aligned} \frac{d}{dt} \begin{bmatrix} I_d \\ I_q \end{bmatrix} &= \frac{V_{DA}}{L} \begin{bmatrix} D_d \\ D_q \end{bmatrix} + \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} I_d \\ I_q \end{bmatrix} - \frac{1}{L} \begin{bmatrix} V_d \\ V_q \end{bmatrix} + \frac{1}{L} \left(\frac{R_c}{Z \left(1 + \frac{R_c}{Z} \right)} \right) \begin{bmatrix} V_d \\ V_q \end{bmatrix} \\ &\quad - \frac{1}{L} \left(R_L + \frac{R_c}{Z \left(1 + \frac{R_c}{Z} \right)} \right) \begin{bmatrix} I_d \\ I_q \end{bmatrix} \end{aligned} \quad (2.46)$$

$$\frac{d}{dt} \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \frac{1}{C \left(1 + \frac{R_c}{Z} \right)} \begin{bmatrix} I_d \\ I_q \end{bmatrix} + \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} - \frac{1}{ZC \left(1 + \frac{R_c}{Z} \right)} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \quad (2.47)$$

Pasif bileşenlerin ESD değerleri göz ardı edilirse Denklem 2.46-2.47’de yer alan ifade Denklem 2.48-2.49’deki gibi şeklinde sadeleştirilebilir. D-Q ekseninden dönen eksense dönüşüm nedeniyle modele çapraz bağlantı terimleri dahil edilmiştir. Bu terimleri kolayca ayırmak için kontrolcüde genellikle ayrıştırma olarak bilinen bir işlem yapılır.

$$\frac{d}{dt} \begin{bmatrix} I_d \\ I_q \end{bmatrix} = \frac{V_{dc}}{L} \begin{bmatrix} D_d \\ D_q \end{bmatrix} + \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} I_d \\ I_q \end{bmatrix} - \frac{1}{L} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \quad (2.48)$$

$$\frac{d}{dt} \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \frac{1}{C} \begin{bmatrix} I_d \\ I_q \end{bmatrix} + \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} - \frac{1}{ZC} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \quad (2.49)$$

Evirici değişkenlerinin zamanla değişen bir doğası olmasına rağmen, elde edilen D-Q modeli zamandan bağımsızdır, dolayısıyla kararlı durum çalışmasında evirici için yalnızca bir çalışma noktası tanımlanır. Eviricinin DA halindeki çalışma noktasını bulmak için ise Şekil 2.23’den üretilen Denklem 2.50-2.53 kullanılır. Eviricinin akım kontrolü ise D-Q eksenindeki akım-gerilim ifadelerine uygun olarak tasarlanan PI denetleyiciler vasıtasıyla yapılır.

$$I_d = \frac{V_d}{Z} \quad (2.50)$$

$$I_q = \omega C V_d \quad (2.51)$$

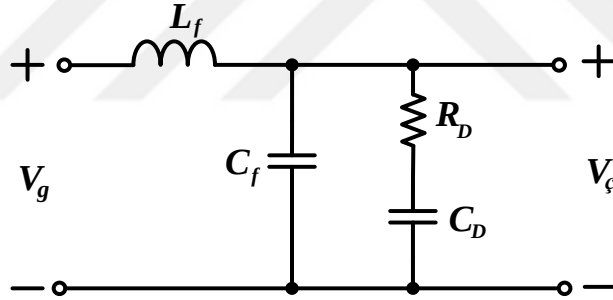
$$D_d = \frac{V_d - \omega L I_q + R_L \left(V_d / Z \right)}{V_{DA}} \quad (2.52)$$

$$D_q = \frac{V_q + \omega L I_d + R_L I_q}{V_{DA}} \quad (2.53)$$

2.3.2. Evirici Diferansiyel LC Filtre Tasarımı

Diferansiyel LC alçak geçiren filtreler tipik olarak şebeke frekansının altı katı olan gerilim dalgalanmalarıyla ve bunun daha yüksek dereceli harmonikleriyle ilgilenir. Bu nedenle bileşenlerin filtrenin birkaç kilo hertz seviyelerine kadar olan frekanslar için tasarlanması gerekir. Bir LC filtre ile -40 dB/dec kadar zayıflatma sağlanabilir ancak bu şekilde tasarlanan filtre ciddi problemlere sebebiyet veren rezonansa sahip olacaktır [87].

LC filtredeki rezonansın engellenmesi için sönümlenme elemanları kullanılmaktadır. Genellikle bir direnç ve kapasitörden oluşan sönümlenme metodu filtrenin rezonant frekansını baskılayarak daha ideal bir filtre gibi davranmasını sağlamaktadır. Bu çalışmada LC filtreden sonra bir seri RC bacağı devreye eklenerek rezonans frekans sönümlenmiştir. Eviricinin şebeke bağlantısında kullanılan sönümlenmeli rezonans filtre devre şeması Şekil 2.24’de verilmiştir.



Şekil 0.24. Tam köprü evirici diferansiyel mod kritik sönümlü LC filtresi devre şeması

Filtre bileşenleri olan L_f ve C_f 'nin hesaplanması için sırasıyla Denklem 2.54 ve Denklem 2.56 kullanılmıştır. C_f değeri hesaplanırken güç faktöründe en fazla ne kadar düşmeye izin verileceği dikkate alınmaktadır.

$$C_f = \frac{\chi S_n}{2\omega_n V_n^2} \quad (2.54)$$

$$C_f = \frac{0.02 * 500}{2 * 2 * \pi * 50 * 220^2} = 328 \text{ nF} \quad (2.55)$$

İzin verilen maksimum güç faktörü değişim oranı olan χ parametresi %0.02 olarak alınmıştır ve yaklaşık olarak 330 nF değeri hesaplanmıştır. Filtre bobini değeri ise Denklem 2.58’de yaklaşık olarak 3 mH değerinde hesaplanmıştır.

$$L_f = \frac{V_{DAdc}}{16\kappa f_s S_n} \quad (2.56)$$

$$L_f = \frac{400}{16 * 0.4 * 40000 * 500} = 3.125 \text{ mH} \quad (2.57)$$

Sönümlleme işlemi için R_D ve C_D bileşenlerinin hesaplanmasında kullanılan hesaplama yöntemleri Denklem 2.58-2.60’da verilmiştir. Bu bileşenler hesaplanırken öncelikle sönümlenecek olan rezonant frekansın belirlenmesi gerekmektedir. Bu parametreleri etkin şekilde hesaplayabilmek için kullanılan a_1 , a_2 ve b_1 katsayılarının neye göre belirleneceğinin ise literatürde yaygın olarak kullanılan bazı yöntemleri vardır [88]. Butterworth, Bessel ve kritik sönümlleme yöntemlerine ilişkin katsayı değerleri ve hesaplanan bileşen değerleri Çizelge 2.5’de verilmiştir.

$$\omega_0 = \sqrt{\frac{a_1 a_2 + b_2}{L_f C_f (a_1 + a_2)}} \quad (2.58)$$

$$C_D = \frac{a_1 a_2 + b_2}{L_f \omega_0^2} - C_f \quad (2.59)$$

$$R_D = \frac{a_1 + a_2}{C_D \omega_0} \quad (2.60)$$

Çizelge 0.5. Farklı Sönümlleme yöntemleri için katsayı ve parametre değerleri

<i>Metod</i>	<i>a₁</i>	<i>a₂</i>	<i>b₂</i>	<i>C_D</i>	<i>R_D</i>
<i>Butterworth</i>	1.0000	1.0000	1.0000	330 nF	190 Ω
<i>Bessel</i>	0.7560	0.9996	0.4772	528 nF	154 Ω
<i>Kritik Sönümlleme</i>	0.5098	1.0197	0.2599	660 nF	143 Ω

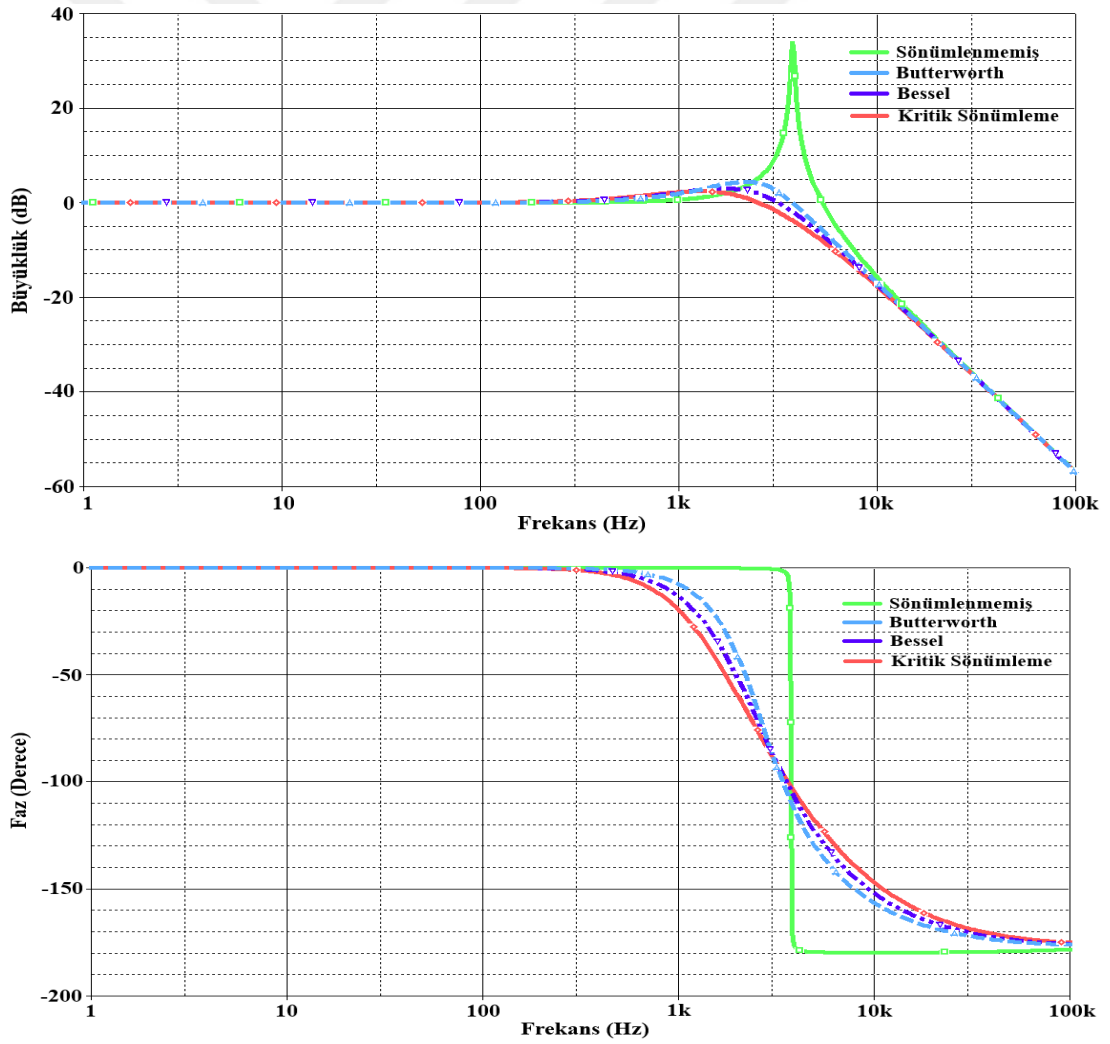
Seri RC sönümllemeli LC filtreye ait transfer fonksiyonu Denklem 2.61’de ve tasarlanan filtre parametreleri Çizelge 2.6’da verilmiştir. Sönümlenmemiş ve sönümlenmiş filtre tasarımlarına ait karşılaştırmalı bode analizi ise Şekil 2.25’de verilmiştir. Şekilde de görüldüğü üzere yaklaşık 5.5 kHz olan sönümlenmemiş LC filtrenin rezonant frekansı 38 dB’lik bir kazanç durumundadır. Bu şebeke bağlı çalışan bir güç evirici unsurda ciddi problemlere sebebiyet verebilir. Öte yandan üç farklı

sönümleme yönteminin de gayet başarılı şekilde rezonant frekansı sönümlediği gözlemlenmiştir. Maliyetler ve uygulama boyutu da dikkate alınarak bu yöntemlerden Butterworth ile tasarlanan sönümleme bileşenlerinin kullanılmasına karar verilmiştir.

$$\frac{v_c}{v_g}(s) = \frac{R_D C_D s + 1}{L_f C_f R_D C_D s^3 + L_f (C_f + C_D) s^2 + R_D C_D s + 1} \quad (2.61)$$

Çizelge 0.6. Tam köprü evirici sönümlü diferansiyel LC filtre değerleri

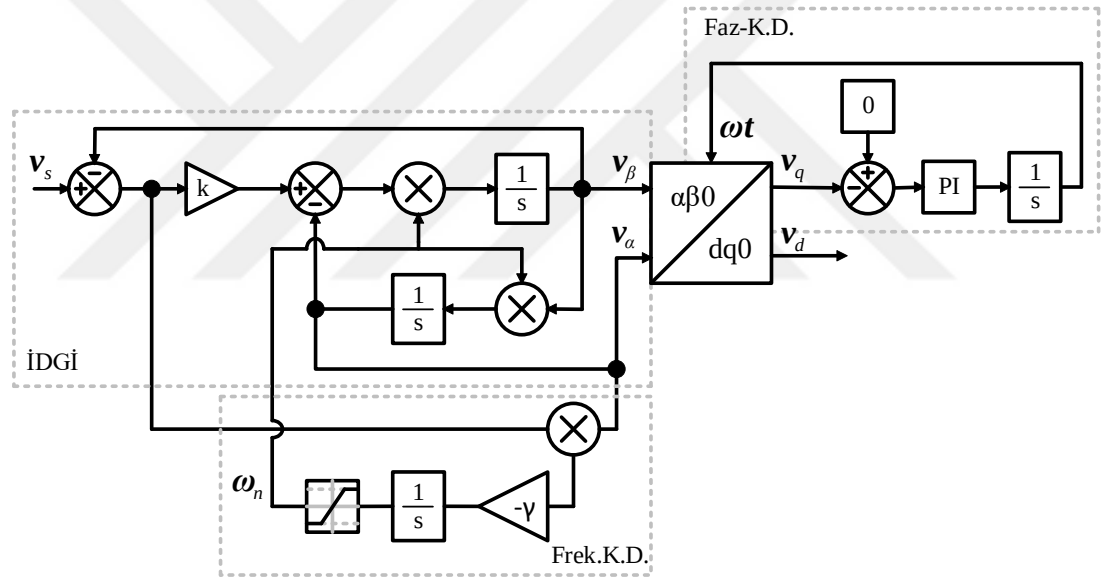
L_f	3 mH	R_L	500 mΩ
C_D	330 nF	R_D	190 Ω
C_f	330 nF	R_C	160 mΩ



Şekil 0.25. Sönümlenmiş ve sönümlememiş diferansiyel LC filtre tasarımları için karşılaştırmalı bode analizi

2.3.3. İkinci Dereceden Genel İntegral Alıcının Tasarımı

Sinüzoidal formadaki zaman bağımlı şebeke akım ve gerilim ifadelerinin Park-Clarke dönüşümleri yapılarak D-Q eksen DA bileşenler ile ifade edilmesinin kontrol kolaylığı açısından önemli olduğuna değinilmiştir. Ancak D-Q eksenine geçilmeden önce yapılması gereken α - β (Clarke) dönüşümünün yapılabilmesi için en az iki adet faz bilgisinin olması zorunludur. Dolayısıyla tek faz ile yapılan çalışmalarda Clarke dönüşümü yapılamayacağı için α - β ekseninde ifadenin oluşturulabilmesi için ortogonal dalga üretimi adı verilen bir yöntem kullanılır. Ölçülen sinüzoidal sinyale göre -90 derece faz farkı olan bir sinüzoidal sinyal dijital sinyal işleme yöntemleri kullanılarak oluşturulur.



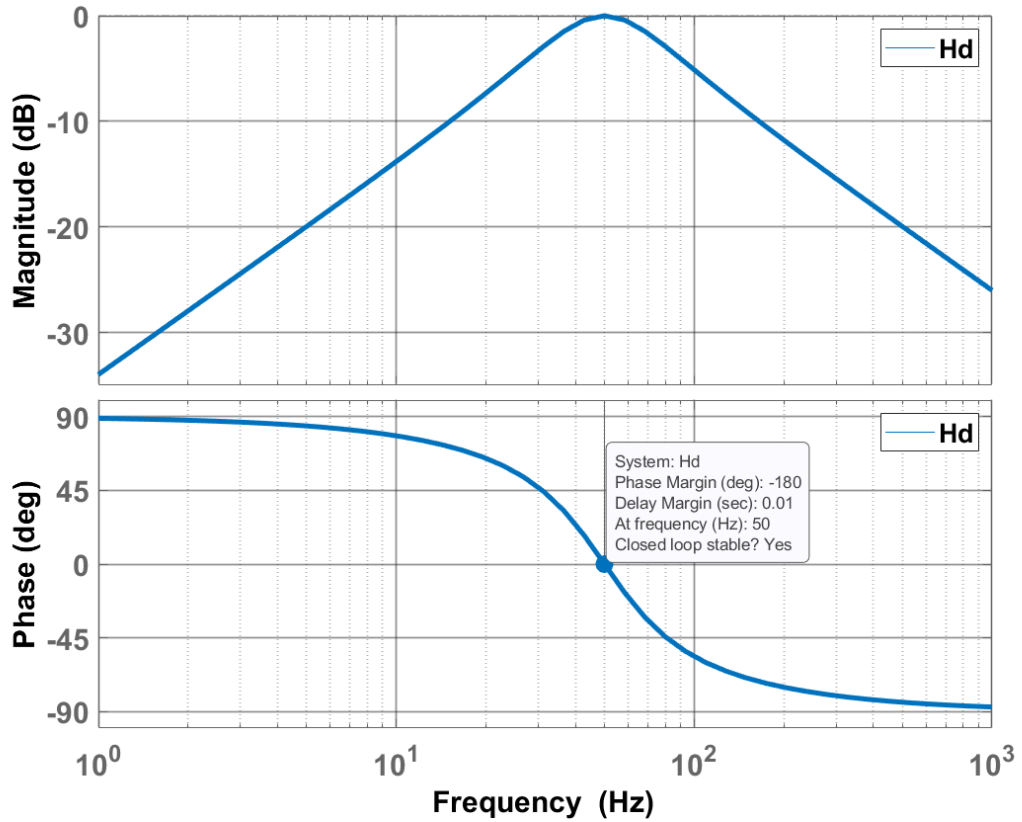
Şekil 0.26. Faz kilitlemeli döngü ve frekans kilitlemeli döngülü ikinci dereceden genel integral alıcı blok diyagramı

Bu işlem için genellikle 2. dereceden alçak geçiren filtre, tam geçiren filtre ve ikinci dereceden integral alıcı (İDGİA) gibi yöntemler uygulanmaktadır. 90 derece faz farkı oluşturmak üzere tasarlanan filtreler dijital dönüşümleri yapılarak mikrodnetleyiciye gömülür. Tam geçiren filtre gibi sinyal işleme araçları daha az matematiksel işlem gücü gerektirirler de harmoniklerin filtrelenmesi ve değişen şebeke frekanslarına adaptasyon gibi hususlarda yetersiz kalmaktadırlar. Bu noktada karşımıza İDGİA çıkmaktadır. Şekil 2.26'da çalışma diyagramı verilen İDGİA, ölçtüğü sinüzoidal

sinyali öncelikle bir tür bant geçiren filtre ile filtreleyerek (H_d) ölçüm sinyalini istenmeyen harmoniklerden arındırır, hem de ortogonal dalga üretici (H_q) özelliği ile filtrelenmiş sinyale 90 derece faz kaydırma işleminin yapılmasını sağlar. H_d 'ye ait transfer fonksiyonu ve ayrıklaştırılmış fark denklemi sırasıyla Denklem 2.62 ve 2.63'de verilmiştir. H_d 'den geçen ve filtrelenen sinyalin bode analizini içeren grafik Şekil 2.27'de verilmiştir. Şekilde görüldüğü üzere filtrasyon işlemi sağlanırken sinyal herhangi bir faz kaymasına maruz kalmaz. H_d 'nin çıkışında elde edilen sinyal V_β olarak kullanılır.

$$H_d(s) = \frac{v_\beta}{v_s}(s) = \frac{k\omega_n s}{s^2 + k\omega_n s + \omega_n^2} \quad (2.62)$$

$$v_\beta(k) = \frac{2(4 - (\omega_n T_s)^2)}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_\beta(k-1) + \frac{2k\omega_n T_s - (\omega_n T_s)^2 - 4}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_\beta(k-2) \\ + \frac{2k\omega_n T_s}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_s(k) - \frac{2k\omega_n T_s}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_s(k-2) \quad (2.63)$$

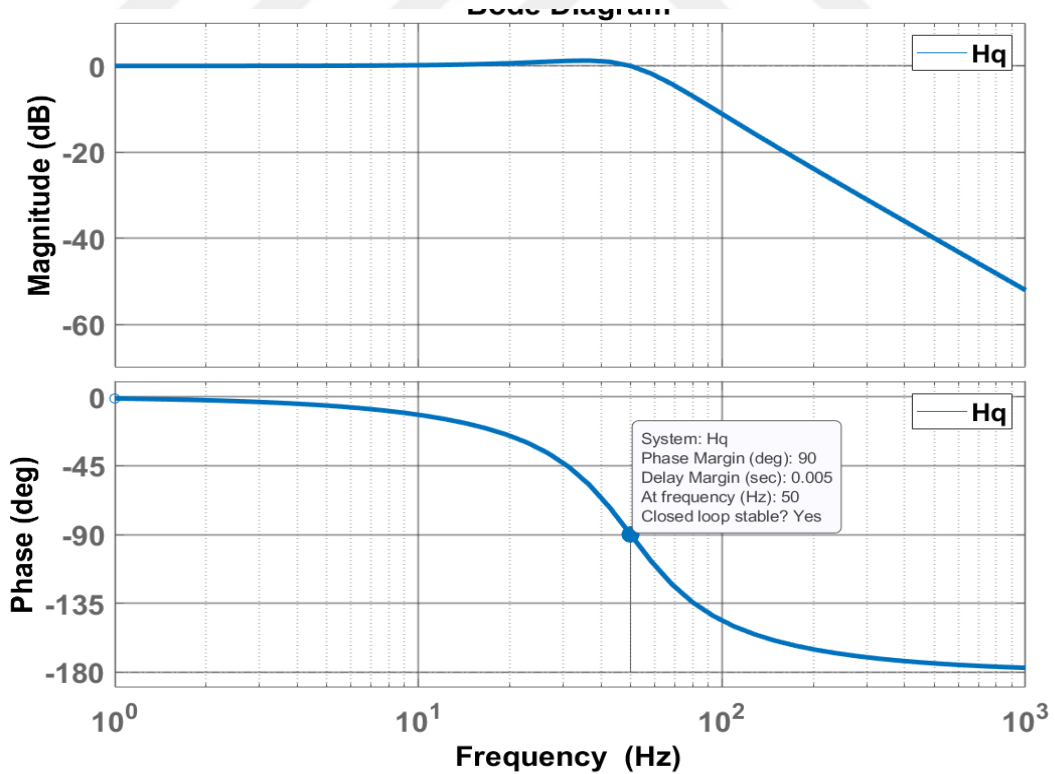


Şekil 0.27. İkinci dereceden genel integral alıcı H_d (bant geçiren filtre) bode diyagramı

Ortogonal dalga üretimi için kullanılan H_q 'nın transfer fonksiyonu ise Denklem 2.64'de verilmiştir. Trapezoidal dönüşüm yöntemi kullanılarak elde edilen fark denklemi ise Denklem 2.65'de verilmiştir. H_q transfer fonksiyonu V_β sinyalini alarak 90 derece faz kaydırır ve arta kalan yüksek frekanslı bileşenlerden tamamen arındırır. Bu işlem sonrasında ise ortogonal dalgamız olan V_α sinyali elde edilir. H_q 'ya ait olan bode analizi Şekil 2.28'de verilmiştir.

$$H_q(s) = \frac{v_\alpha}{v_s}(s) = \frac{k\omega_n^2}{s^2 + k\omega_n s + \omega_n^2} \quad (2.64)$$

$$\begin{aligned} v_\alpha(k) = & \frac{2(4 - (\omega_n T_s)^2)}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_\alpha(k-1) + \frac{2k\omega_n T_s - (\omega_n T_s)^2 - 4}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v_\alpha(k-2) \\ & + \frac{k\omega_n^2 T_s^2}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v'_\beta(k) + \frac{2k\omega_n^2 T_s^2}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v'_\beta(k-1) \\ & + \frac{k\omega_n^2 T_s^2}{2k\omega_n T_s + (\omega_n T_s)^2 + 4} v'_\beta(k-2) \end{aligned} \quad (2.65)$$

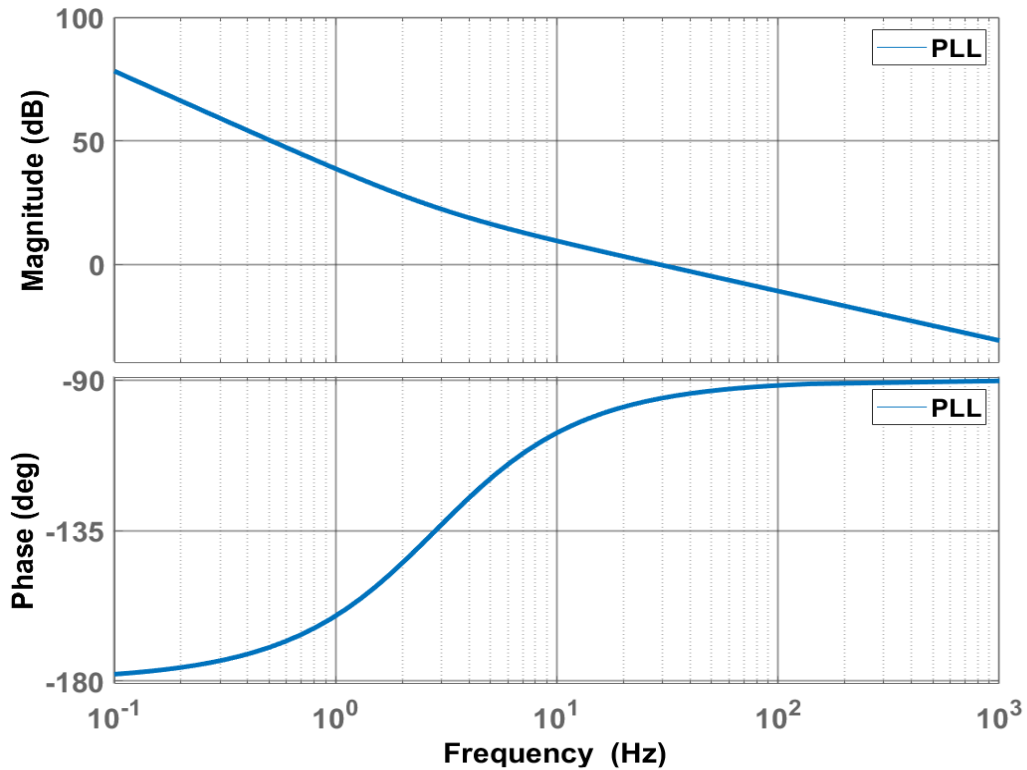


Şekil 0.28. İkinci dereceden genel integral alıcı H_q (faz kaydırıcı) bode diyagramı

İDGİA ile elde edilen V_β ve V_α sinyalleri Park dönüşümü ile D-Q ekseninde ifade edilmek üzere kullanılır ancak dönüşüm işleminin yapılabilmesi için anlık faz açısı bilgisinin de radyan/saniye cinsinden elde edilmesi gerekir. Bu işlem için de Şekil 2.26'da gösterildiği gibi V_q ifadesi terslenerek doğrudan bir PI denetleyici ve bir integratörden oluşan işlem bloğunun içine sokulur. Faz kilitlemeli döngü (FKD) olarak adlandırılan bu işlem ile rad/s cinsinden faz açısı anlık olarak üretilir ve bir geri besleme ile İDGİA bloğunu çalıştırır. FKD'nin transfer fonksiyonu ve fark denklemi sırasıyla Denklem 2.66 ve 2.67'de verilmiştir. FKD'nin bode analizi ise Şekil 2.29'da verilmiştir.

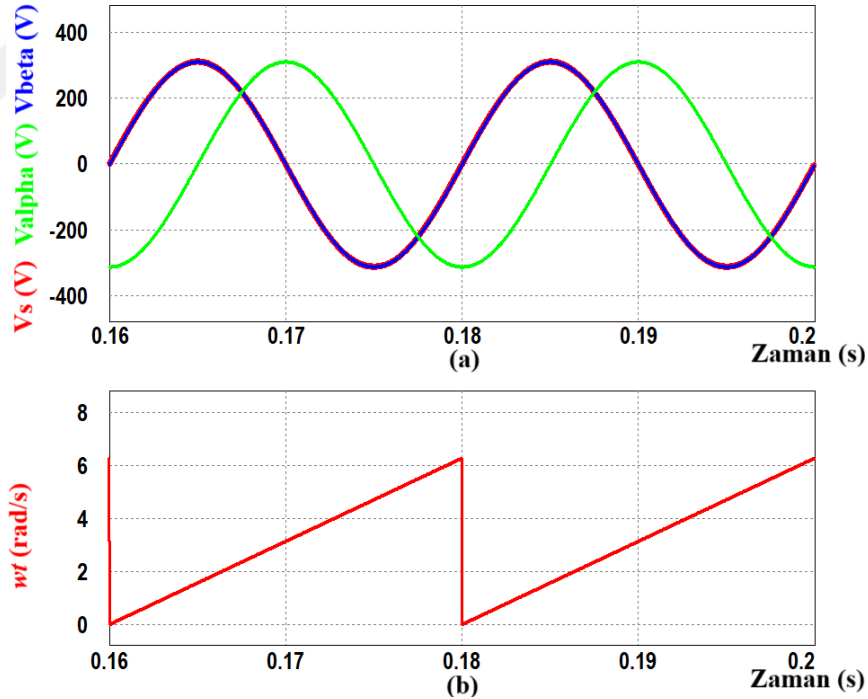
$$PLL(s) = -\frac{\omega t}{v_q}(s) = \frac{k_p s + k_i}{s^2} \quad (2.66)$$

$$\begin{aligned} \omega t(n) = & 2\omega t(n-1) + \omega t(n-2) + \frac{2T_s k_p + T_s^2 k_i}{4} v_q(n) + \frac{T_s^2 k_i}{2} v_q(n-1) \\ & + \frac{T_s^2 k_i - 2T_s k_p}{4} v_q(n-2) \end{aligned} \quad (2.67)$$

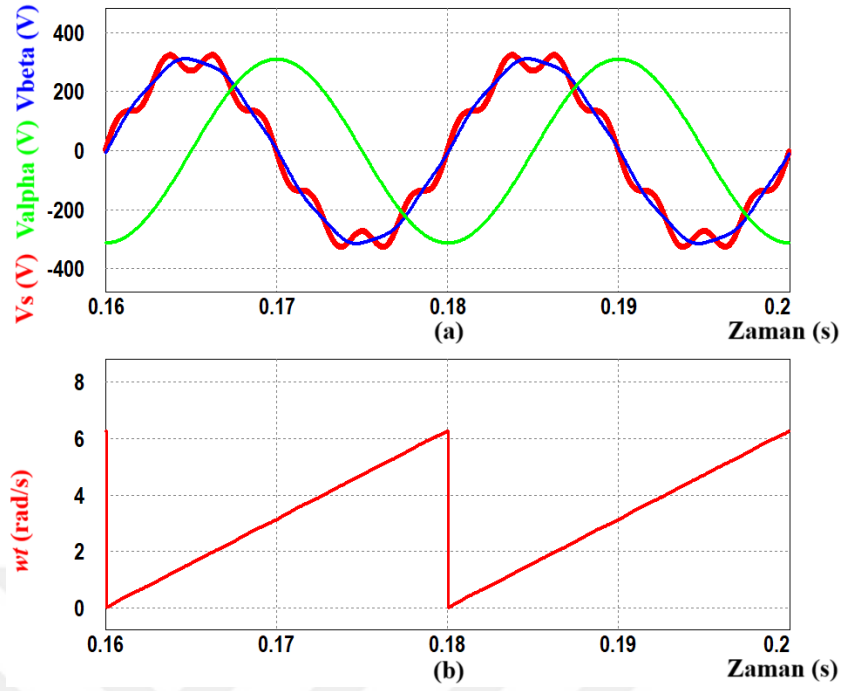


Şekil 0.29. İkinci dereceden genel integral alıcı faz kilitlemeli döngü bode diyagramı

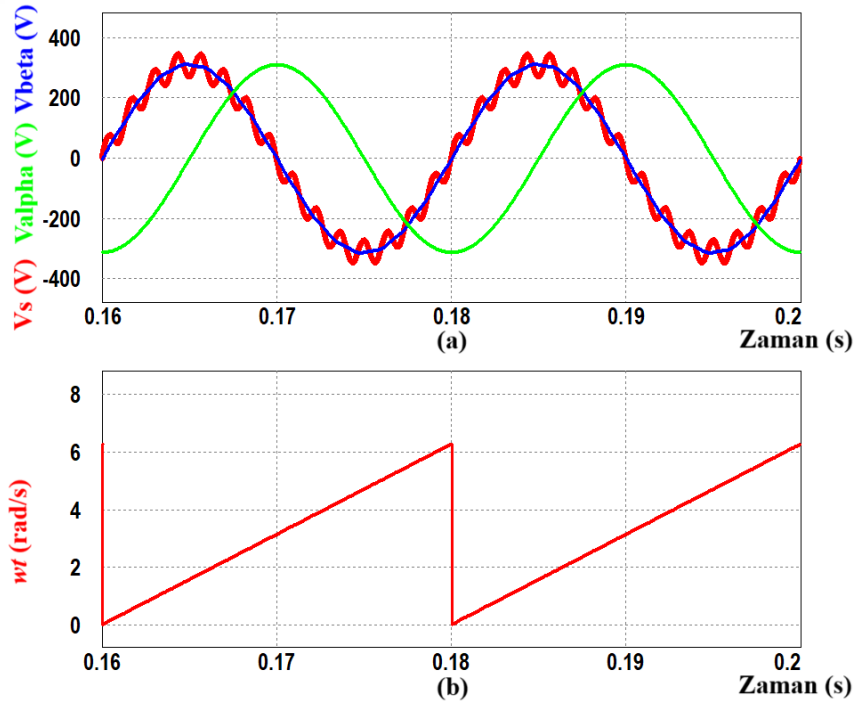
Tasarlanan İDGİA ve FGD'nin fark denklemleri ile oluşturulan C kodu PSIM programında test edilmiştir. PSIM'de C fonksiyon blokları kullanılarak yapılan simülasyonda İDGİA için örnekleme frekansı 20 kHz olarak belirlenmiştir. Şekil 2.30 (a)'da gösterildiği üzere ölçülen şebeke sinyalinden ortogonal dalga ve anlık faz açısı bilgisi üretilmiştir. Faz açısı bilgisi 0'dan 2π 'ye kadar her bir alternans için üretilirilmiş olup, anlık faz konumu Şekil 2.30 (b)'de verilmiştir. Ayrıca H_d 'nin çalışma performansını test etmek amacıyla yapılan yüksek harmonikli sinyal ölçme ve kilitlenme simülasyonlarında da İDGİA yüksek performans göstermiştir. Şekil 2.31 (a)'da gösterildiği üzere yüksek 5. Derece harmoniklerin etkisi altında olan bir sinyal istenilen şekilde filtre edilmiş ve faz konumuna hatasız şekilde kilitlenmiştir. Şekil 2.31 (a)'da ise 9. dereceden harmoniğin etkisi altında olan bir sinyal H_d ile başarılı bir şekilde filtre edilmiştir. Bu sinyalde başarılı bir ortogonal dalga üretimi aşamasından sonra anlık faz bilgisine kilitlenme işlemi tamamlanmıştır.



Şekil 0.30. İDGİA algoritmasının temel frekansta (50 Hz) dijital gerçekleştirilmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.



Şekil 0.31. İDGİA algoritmasının 5. harmonik etkisi altında dijital gerçekleştirilmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.



Şekil 0.32. İDGİA algoritmasının 9. harmonik etkisi altında dijital gerçekleştirilmesi (a) kaynak sinyalinin filtrelenmesi 90 derece faz kaydırılması ve (b) faz açısının radyan cinsinden takibi.

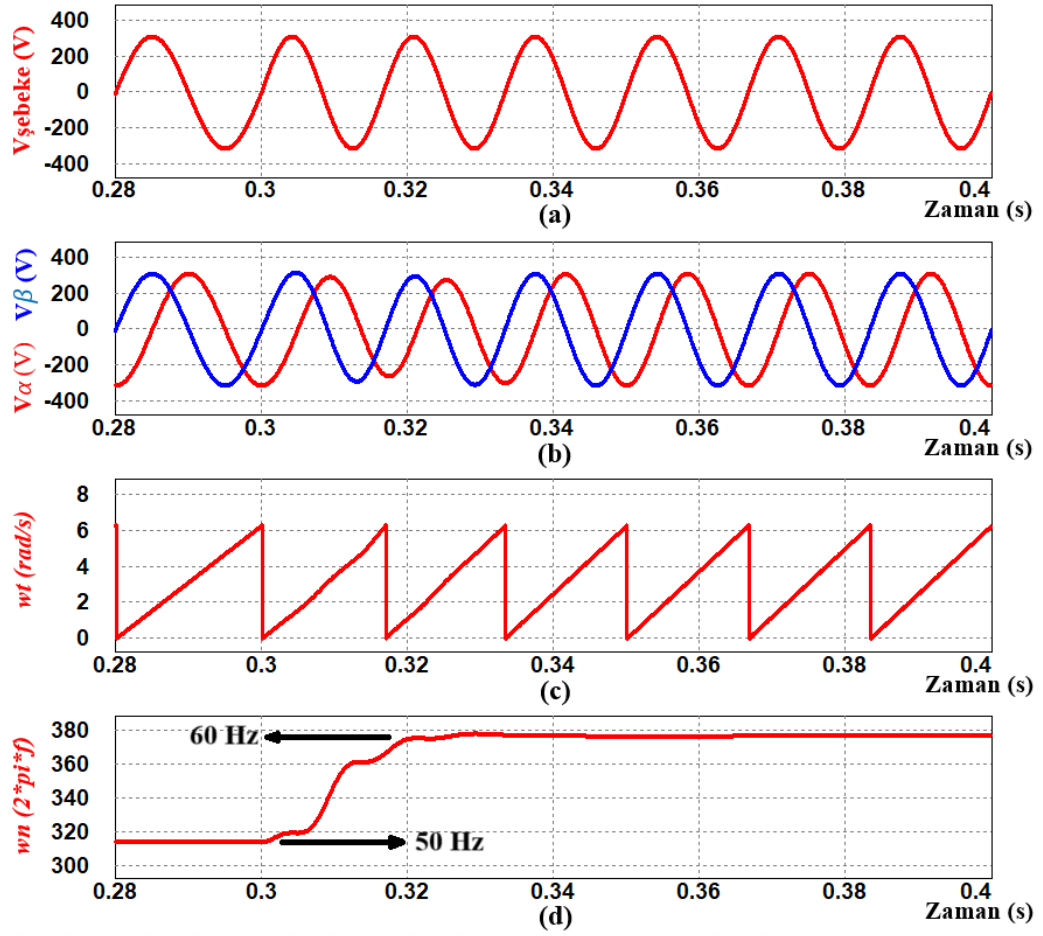
İDGİA için önemli olan son husus ise değişen şebeke frekanslarına adapte olabilme yeteneğinin kazandırılmasıdır. Bu doğrultuda tasarlanan frekans kilitlemeli döngü (FrKD) ile kaynak sinyali ile frekans değişimi neticesinde V_β ve V_α ifadelerinde oluşan hata yükseltilerek bir integratör işleminden geçirilir. FrKD'ye ilişkin transfer fonksiyonu ve fark denklemi Denklem 2.68-70'de verilmiştir.

$$e_f = (v_s - v_\beta)v_\alpha \quad (2.68)$$

$$\frac{\omega_n}{e_f}(s) = -\frac{\gamma}{s} \quad (2.69)$$

$$\omega_n(n) = \omega_n(n-1) - \frac{\gamma T_s}{2} e_f(n) - \frac{\gamma T_s}{2} e_f(n-1) \quad (2.70)$$

İntegratörden çıkan bilgi sınırlandırılarak bir geri besleme ile İDGİA'ya gönderilir. Bu sayede FrKD'nin çıkışı doğru faz bilgisine yaklaştıkça hata azalır ve frekans bilgisi doğru değerde sabitlenir. Frekans ölçüm aralığı 45 Hz ile 65 Hz aralığında sınırlandırılmıştır. Bu doğrultuda yapılan PSIM dijital simülasyonlarından elde edilen sonuçlar Şekil 2.33'de verilmiştir. Bu simülasyonlar kapsamında sinyal frekansı 300 ms'de 50 Hz'den 60 Hz'e çıkarılmıştır. Şekil 2.33 (c)'de görüldüğü üzere sinyal 60 Hz'e geçtiği anda takip edilen ilk alternansın faz konumu bilgisinde oluşan frekans hatası kaynaklı bir bozulma yaşanmıştır. Ancak 20 ms'de algoritma değişen frekansa adapte olarak faz bilgisine düzgün şekilde kilitlenebilmeyi başarmıştır. Bu sırada İDGİA'ya yapılan geri beslemeli frekans bilgisinde oluşan değişim Şekil 2.33 (d)'de verilmiştir.



Şekil 0.33. Tasarlanan ikinci dereceden genel integral alıcı dijital temelli simülasyonunun faz açısı ve frekans takip performansına ilişkin (a) şebeke gerilimi, (b) İDGİA tarafından üretilen alpha-beta gerilim ifadeleri ve faz kaydırma işlemi, (c) faz açısına kilitlenme ve 360 derecelik faz takibi, ve (d) şebekeden ölçülen frekansın takibi.

2.3.4. D-Q Akım Kontrol Tasarımı

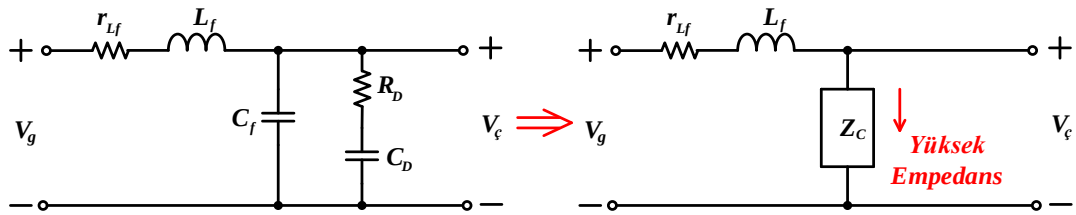
Eviricinin matematiksel modeli çıkartıldıktan ve D-Q ekseninde dönüşümleri sağlayarak faz ve frekans durumlarına kilitlenmeyi sağlayan İDGİA tasarlandıktan sonra geriye kalan son önemli adım D-Q akım kontrolü için gerekli olan kontrol şemasının tasarlanmasıdır. D-Q akım kontrol şemasının tasarlanmasında Denklem 2.48'den Denklem 2.53'e kadar elde edilen evirici matematiksel ifadeleri kullanılmıştır.

Evirici akımının D-Q ekseninde ifade edilmesi ile birlikte referans belirleme ve akım kontrolünün sağlanması işlemi kalır. Bu aşamada şebekeye enjekte edilmesi istenen akım değerinin genlik değeri I_d referansı olarak girilir. I_q bileşeni ise sifıra eşitlenir ki bu ifade reaktif gücü ve faz kaymasını ifade eden bir parametredir ve sıfır olması istenir. Akım değerleri karşılaştırılarak ve PI denetleyiciden geçirilerek D-Q ekseninde bir gerilim referansı üretilir. Üretilen bu gerilim referansı bir ileri besleme ile işlenerek DA bara gerilimine bölünür ve böylelikle D_d ve D_q ifadeleri elde edilmiş olur. Elde edilen bu ifadeler ters Park-Clarke dönüşümleri ile sinüzoidal forma dönüştürülerek evirici bacalarının anahtarlanması kullanılır.

D-Q ekseninde üretilecek olan referans gerilimlerinin elde edilmesinde kullanılacak olan PI kompensatörlerin tasarımında ise evirici geriliminden bobin akımına $\hat{I}_{L_f}(s)/\hat{V}_g(s)$ transfer fonksiyonunun kullanılması gerekmektedir [70]. Bu transfer fonksiyonunun elde edilmesi için gereken LC filtrenin devre modeli Şekil 2.35'deki gibi sadeleştirilerek sadece filtre bobininin etkisi dikkate alınabilir çünkü LC ve LCL filtreler şebeke frekansı gibi rezonant frekanslarından çok daha düşük frekans değerlerinde yüksek empedans gösterdiklerinden kapasitif etkileri ihmal edilebilir [89]. Bu bağlamda şebekeye enjekte edilen akımın D-Q eksenindeki matematiksel ifadesi Denklem 2.71'deki gibi elde edilebilir.

$$L_f \frac{d\vec{i}_{dq}}{dt} = \vec{v}_{gdq} - r_{L_f} \vec{i}_{dq} - j\omega L_f \vec{i}_{dq} - \vec{v}_{cdq} \quad (2.71)$$

Bu denklemde $\vec{i}_{dq} = i_{dq} + j\hat{i}_{dq}$, $\vec{v}_g = v_{gdq} + jv_{gdq}$ ve $\vec{v}_{cdq} = v_{cdq} + jv_{cdq}$ olmakla birlikte j kompleks işaretidir. i_{dq} evirici akımı, v_{gdq} evirici çıkış gerilimini, v_{cdq} şebeke gerilimini ve ω ise şebeke frekansını temsil etmektedir.



Şekil 0.35. Evirici filtre devresinin sadeleştirilmesi

DQ eksen PI akım kontrolü tasarımı için gerekli olan transfer fonksiyonu Denklem 2.71 kullanılarak Denklem 2.72'deki gibi elde edilebilir. Bu kompleks katsayılı transfer fonksiyonu Denklem 2.73-75'deki ifadelerle Denklem 2.76'daki gibi reel ve imajiner kısımlarına ayrılarak ifade edilebilmektedir [63].

$$P(s) = \frac{1}{L_f s + r_{Lf} + j\omega L_f} \quad (2.72)$$

$$P_1(s) = \frac{L_f s + r_{Lf}}{(L_f s + r_{Lf})^2 + (j\omega L_f)^2} \quad (2.73)$$

$$P_2(s) = \frac{-\omega L_f}{(L_f s + r_{Lf})^2 + (j\omega L_f)^2} \quad (2.74)$$

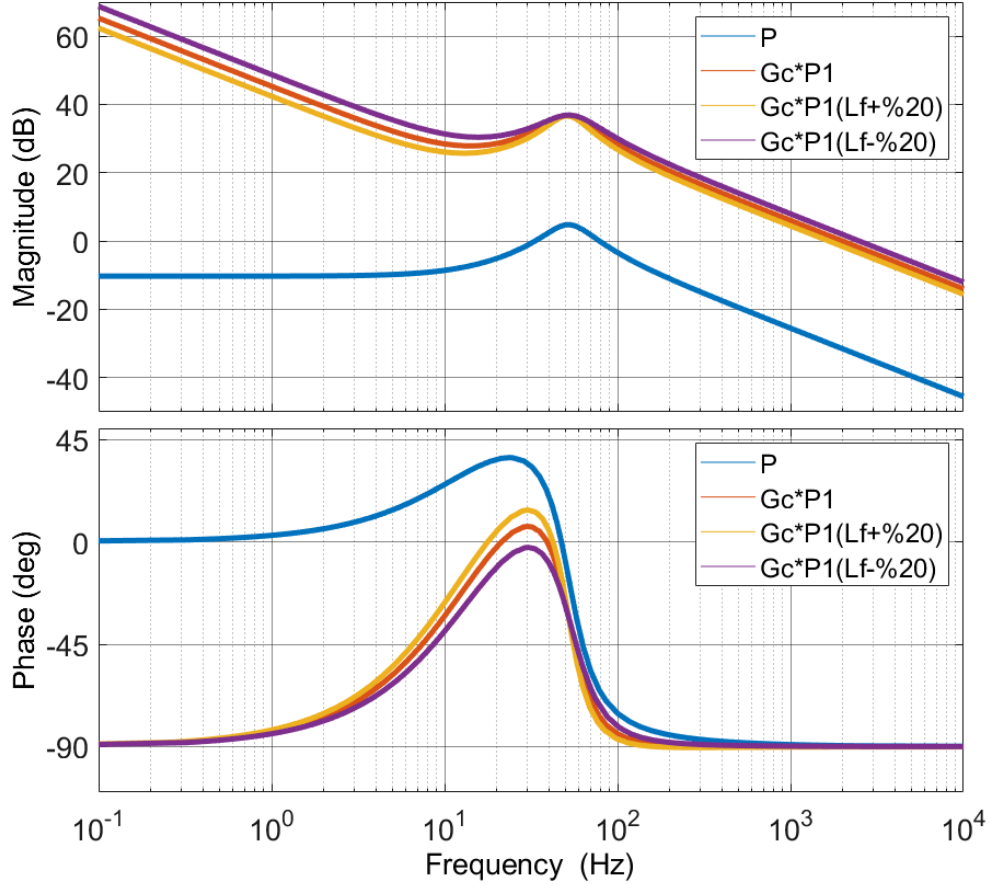
$$P(s) = P_1(s) + jP_2(s) \quad (2.75)$$

$$\begin{bmatrix} I_d \\ I_q \end{bmatrix} = P(s) \begin{bmatrix} v_{od} \\ v_{oq} \end{bmatrix} = \begin{bmatrix} P_1(s) & -P_2(s) \\ P_2(s) & P_1(s) \end{bmatrix} \begin{bmatrix} v_{od} \\ v_{oq} \end{bmatrix} \quad (2.76)$$

D-Q akım kontrolü kapsamında Q eksenindeki akım değeri sıfıra eşitleneceği için sistem transfer fonksiyonunun imajiner kısmının da etkisiz olması beklenmektedir. Bu nedenle eviricinin $\hat{I}_{L_f}(s)/\hat{V}_g(s)$ modelinde $P_2(s)$ ihmal edilir ve böylelikle sistemin transfer fonksiyonu $P_1(s)$ 'e eşit olur. PI parametreleri olan K_i ve K_p katsayılarının belirlenmesinde ise Denklem 2.77-78'deki eşitlikler kullanılmıştır. Bu denklemlerde kullanılan ω_c dijital kontrolörün örnekleme hızının %5'i olarak alınmaktadır [90, 91]. Örnekleme frekansı (f_s) 20 kHz olarak belirlenmiş olmakla birlikte f_c 1 kHz olarak alınmıştır. Sistemin açık çevrim bode diyagramı ile birlikte kompanze edilmiş sistem bode diyagramı Şekil 2.36'da verilmiştir. Tam olarak tasarlandığı gibi 1 kHz bant genişliği ile 90° faz kazancı elde edilmiştir. Ek olarak tasarımı yapılan kontrolcünün bobin indüktansındaki sapmalara karşı gürbüzlük analizi de yapılmıştır. İndüktans değerinin +/-%20 değiştiği iki durum için de kompanze edilmiş bode analizi yapılmış ve sistemin kararlı olduğu gözlemlenmiştir.

$$K_p = \omega_c L_f \quad (2.75)$$

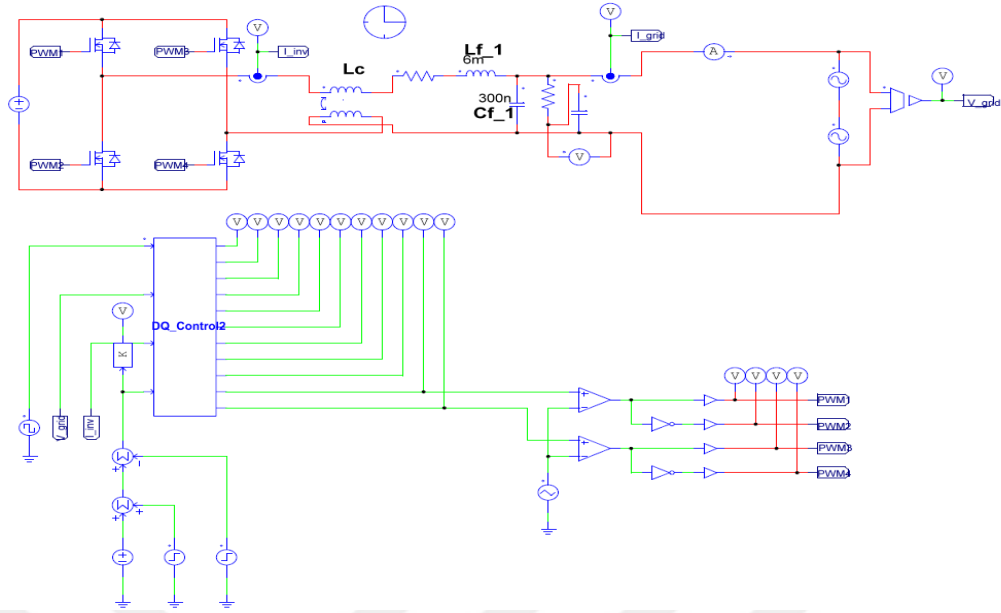
$$K_i = \omega_c r_{L_f} \quad (2.76)$$



Şekil 0.36. D-Q ekseninde modellenmiş evirici geriliminden bobin akımına transfer fonksiyonunun açık çevrim kompanze edilmemiş ve kompanze edilmiş bode analizleri

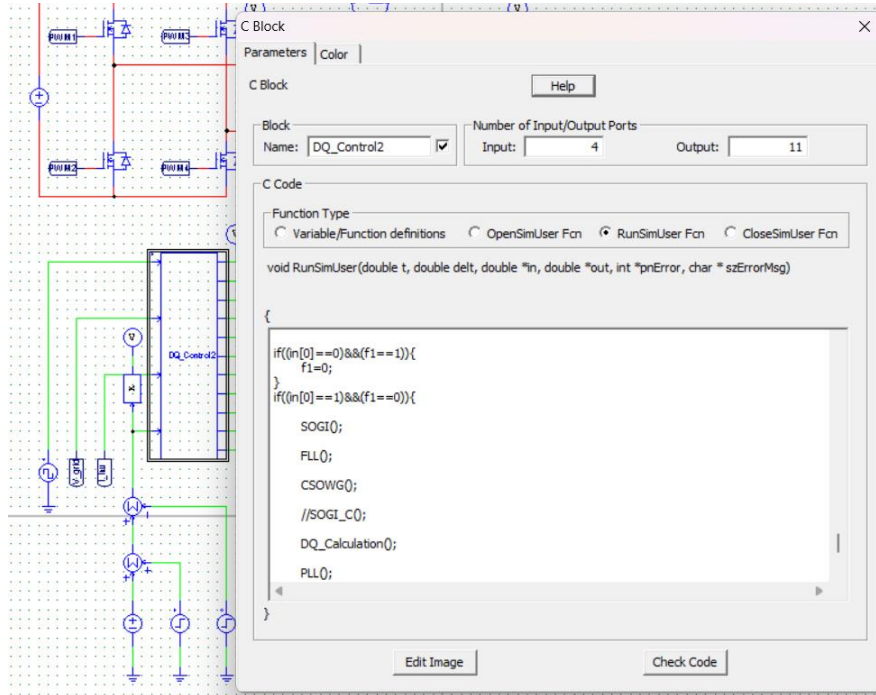
2.4. ŞEBEKE BAĞLI EVİRİCİ D-Q AKIM KONTROL SİMÜLASYONU

Tasarlanan eviricinin ve kontrol sisteminin simülasyonları PSIM programı kullanılarak gerçekleştirilmiştir. Simülasyon devre şeması Şekil 2.37’de verilmiştir. Simülasyon kapsamında evirici şebekeye bağlı iken ve şebekeden bağımsız iken rezistif, indüktif ve kapasitif yüklerde çalıştırılmıştır. Bu simülasyonlarda eviricinin kontrol performansının yanı sıra doğrusal olmayan yüklerde nasıl çalıştığı da gözlemlenmiştir. Doğrusal ve doğrusal olmayan yüklerde şebekeye ya da yüke enjekte edilen akımın FFT analizi yapılarak harmonik bozunumu ölçülmüştür.



Şekil 0.37. Dijital D-Q akım kontrollü tam köprü evirici PSIM simülasyon şeması

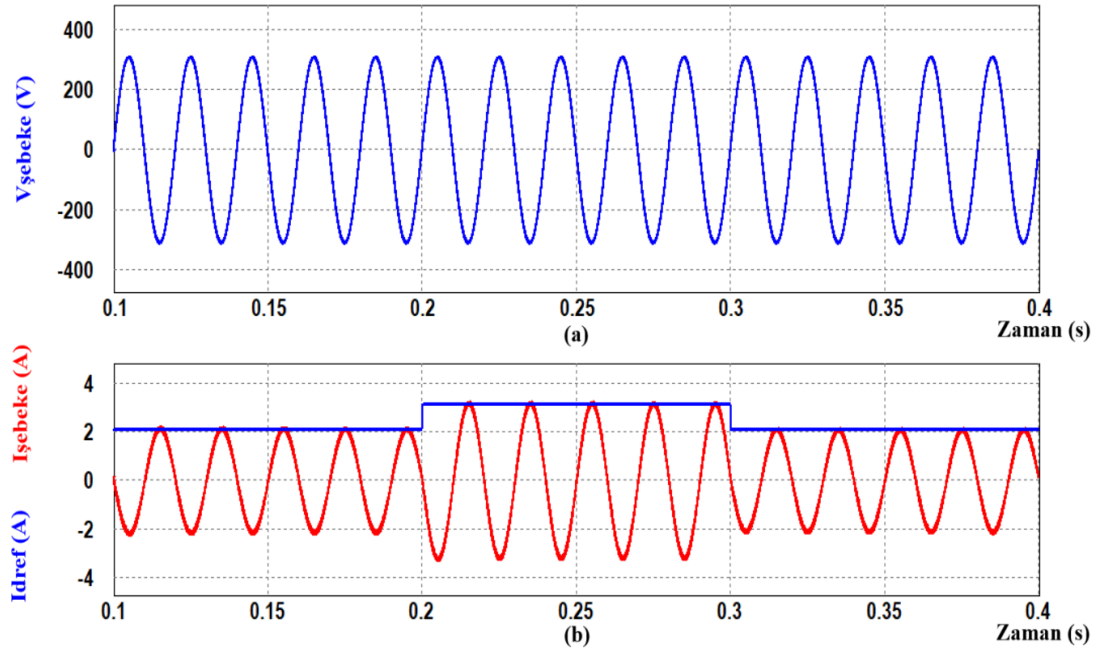
PSIM simülasyonunda dijital kontrolün gerçekleştirilmesi için C fonksiyon bloğu kullanılmıştır. Örnekleme zamanının benzetimi için ise Şekil 2.38’de görüldüğü gibi 20 kHz’lik harici bir kare dalga üreticisi kullanılarak C kodunun her yükselen kenarda bir kez çalıştırılması sağlanmıştır.



Şekil 0.38. PSIM dijital D-Q kontrol için C bloğunun ve örnekleme süresinin oluşturulması

2.4.1. Şebeke Bağlı Doğrusal Yük Besleme D-Q Akım Kontrol PSIM Simülasyonu

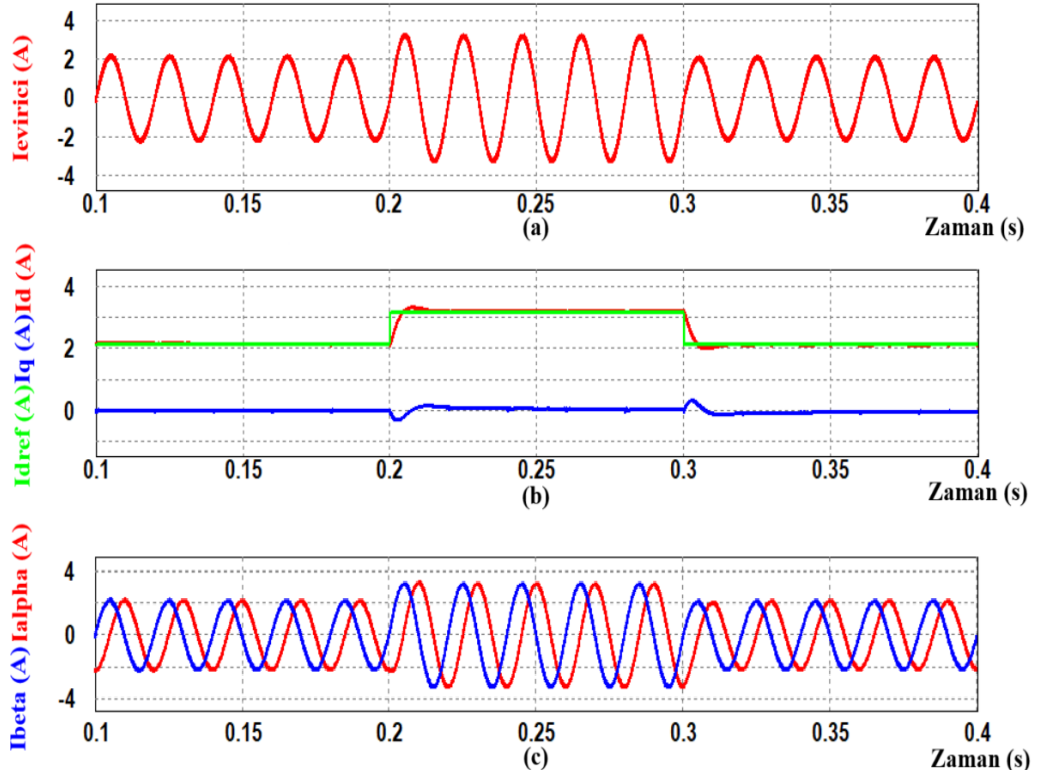
Eviricinin ilk simülasyonu şebekeye bağlı çalışırken ve şebekenin doğrusal olmayan yüklerin etkisi altında olmadığı durum için yapılmıştır. Bu simülasyonda I_d akım referansı önce 200 ms’de 1.5 A_{RMS} ’den 2.25 A_{RMS} ’e çıkarılmış ve sonrasında ise 300 ms’de 2.25 A_{RMS} ’den 1.5 A_{RMS} ’e düşürülmüştür. Bu süreçte şebekeye enjekte edilen akımın nasıl değiştiği referansa oturması takibi gözlemlenmiştir. Şekil 2.39’da şebeke gerilimi ile şebekeye enjekte edilen akıma ait simülasyon grafikleri verilmiştir. Şekil 2.39 (a)’da şebeke gerilimi ifadesi verilirken, Şekil 2.39 (b)’de I_d akım referansı sinyali ve şebekeye enjekte edilen anlık akım ölçümü verilmiştir. Şebekeye enjekte edilen akım değeri değişen referans değerlerine hızlıca oturma kabiliyeti göstermiştir.



Şekil 0.39. Şebeke bağlı çalışmada D-Q akım kontrolü (a) şebeke gerilimi ve (b) kontrolcüye verilen akım genlik referansı ile şebekeye enjekte edilen evirici akımı

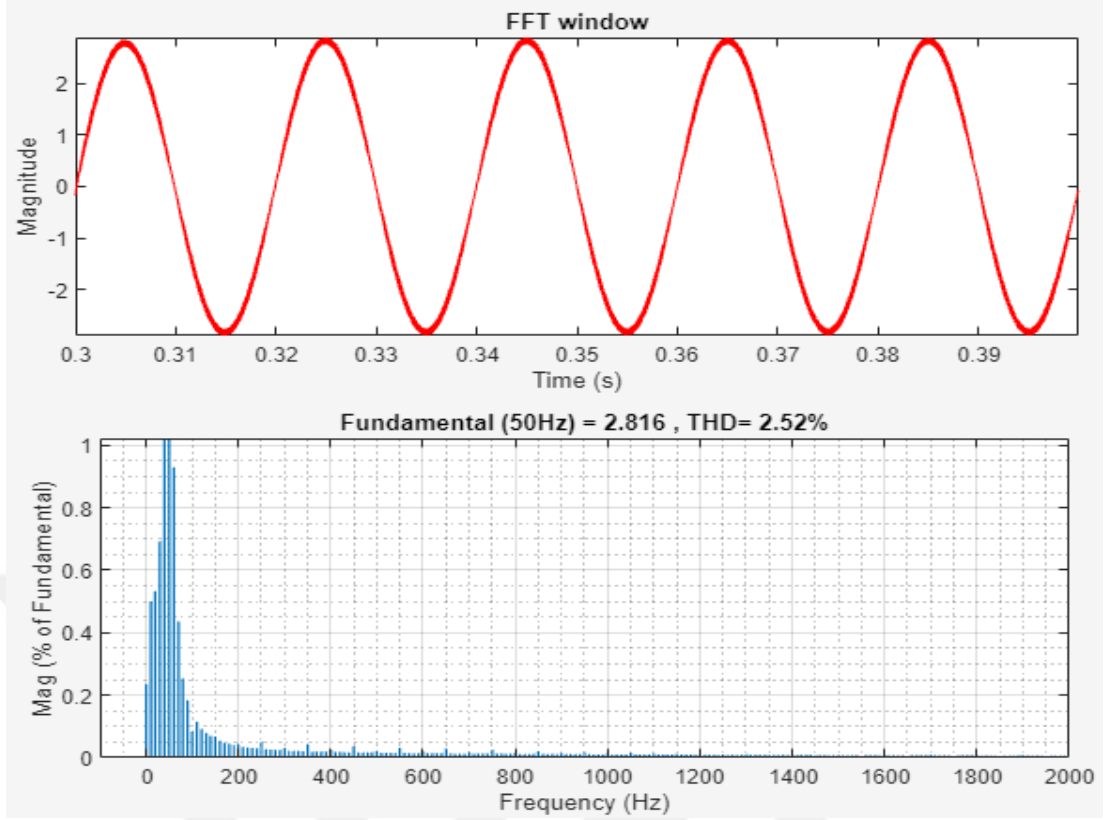
Yine aynı durum için yapılan simülasyona ait grafiklerin yer aldığı Şekil 2.40’da ise şebekeye enjekte edilen akıma karşılık V_β , V_α , V_d ve V_q ifadeleri gözlemlenmiştir. Şekil 2.40 (b)’de şebekeye enjekte edilen akımın D-Q eksenindeki karşılığı gözlemlenmiştir. Akımın yükselme süresi 10 ms’den daha az iken oturma süresinin olarak 20 ms olduğu gözlemlenmiştir. Mavi renk ile gösterilen I_q ifadesinin ise

kontrolcü tarafından sıfıra sabitlendiği ancak değişim esnalarında oturması 50 ms süren sapmalar meydana geldiği gözlemlenmiştir. Şekil 2.40 (c)'de ise şebekeye enjekte edilen akımın α - β eksenindeki ifadeleri verilmiştir. Referans değişim durumlarında bile İDGİA istenilen şekilde çalışarak akım sinyalini filtrelemeyi ve ortogonal dalga üretimini sağlamıştır.



Şekil 0.40. Şebeke bağlı çalışmada doğrusal yükte D-Q akım kontrolü (a) şebekeye enjekte edilen akım, (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması, (c) şebekeye enjekte edilen akımın Alpha-Beta bileşenleri formunda ifadesi ve ortogonal dalga üretimi

Şebekeye doğrusal yük altında iken akım enjekte etmeye yönelik yapılan simülasyonların sonucunda ise şebekeye sabit 2 A_{RMS} akım enjekte edilmiş ve ölçülen akım sinyalinin FFT analizi yapılarak harmonik bozunumu ölçülmüştür. Şekil 2.41'de akım grafiğinin FFT ekranı gösterilmiştir. Yapılan analizde toplam harmonik bozunum %2.52 olarak ölçülmüştür.

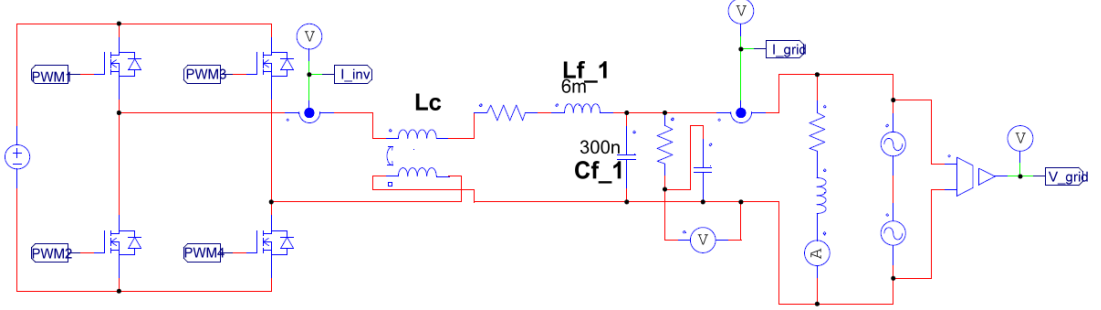


Şekil 0.41. Şebeke bağlı lineer yük beslemede D-Q kontrollü akım enjeksiyonunun FFT ve harmonik analizi

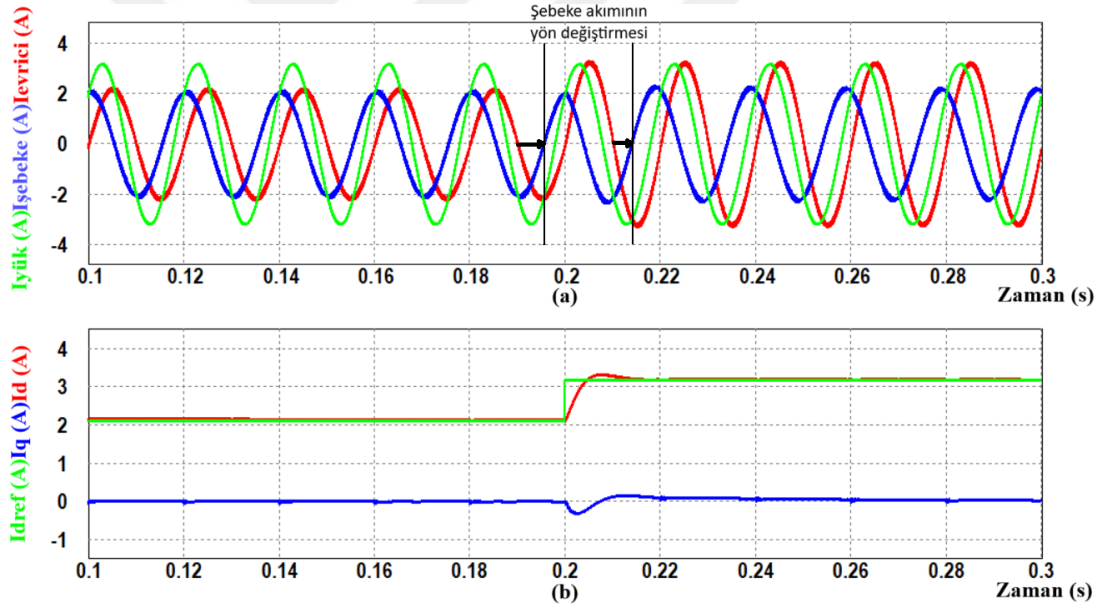
2.4.2. Şebeke Bağlı Doğrusal Olmayan Yük Besleme D-Q Akım Kontrol PSIM Simülasyonu

Evirici ve kontrol algoritmasının çalışması üzerine yapılan ikinci simülasyonda ise şebekede doğrusal olmayan yükler bağlı iken akım kontrolünün nasıl gerçekleştiği gözlemlenmiştir. Kapasitif yük olarak güç faktörünü 0.8 ilerde yapacak olan 79Ω direnç ile seri $55 \mu\text{F}$ kondansatör kullanılmıştır. İndüktif yük olarak ise güç faktörünü 0.8 geride yapacak olan 79Ω direnç ile seri 181 mH bobin kullanılmıştır. İndüktif ve kapasitif yüklerde şebeke bağlı çalışmaya ilişkin grafikler sırasıyla Şekil 2.43 ve 2.44’de verilmiştir. Şekil 2.43 (b)’de görüldüğü gibi D eksenindeki akım referansı istenilen şekilde takip edilmiştir. Evirici akımı 0.2 saniyede 1.5 A_{RMS} ’den 2.25 A_{RMS} ’e çıkarılmıştır. Şekil 2.43 (a)’da elde edilen deney sonuçları ile yapılan indüktif yük analizlerinde 0.2 saniyeden önce şebekeden ek olarak 60 W aktif güç yükü beslemek üzere çekilirken, evirici akımının 2.25 A değerine çıkması ile şebekeye 90 W güç

aktarılır hale geldiği gözlemlenmiştir. Şebeke gücünün yönünü gösteren ve şebeke akımında meydana gelen faz değişimi Şekil 2.43 (a)'da görülmektedir.

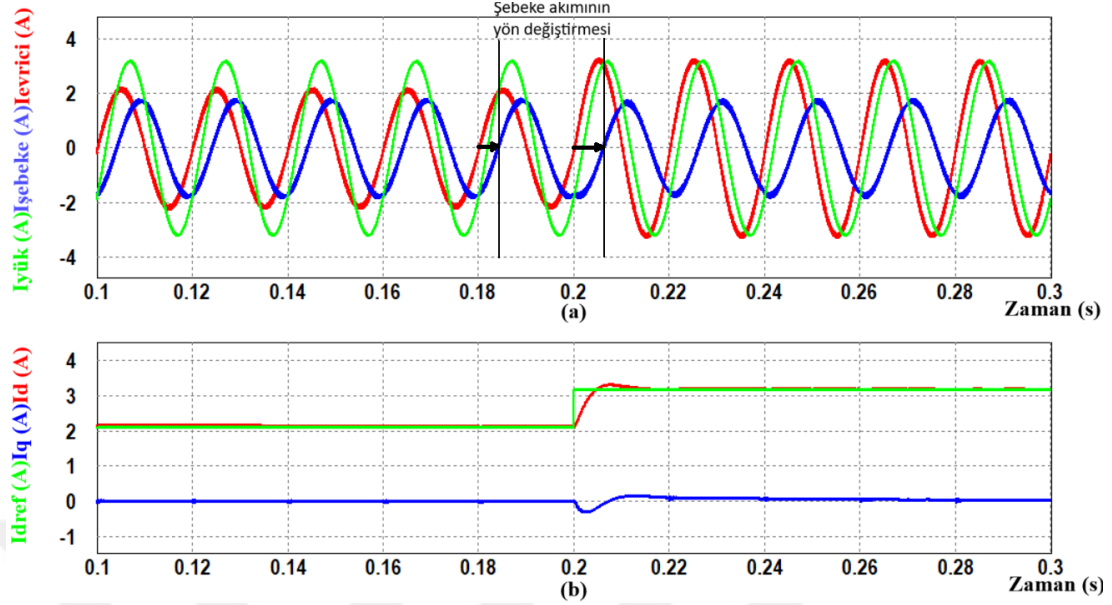


Şekil 0.42. Doğrusal olmayan yüklerin testi için kurulan simülasyon devresinin güç katı



Şekil 0.43. Şebeke bağlı çalışmada indüktif yükte D-Q akım kontrolü (a) evirici çıkış akımı, şebekeden yüke aktarılan akım ve yük akımı (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması

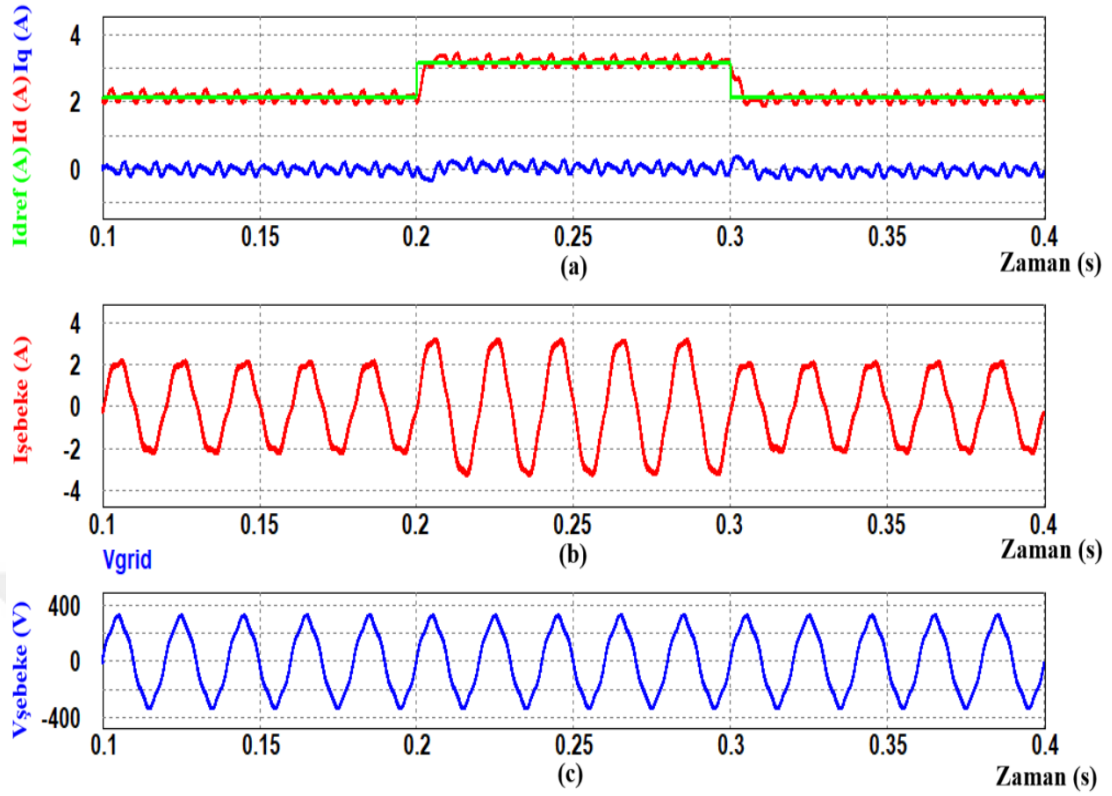
Şekil 2.44 (a)'da elde edilen deney sonuçları ile yapılan kapasitif yük analizlerinde 0.2 saniyeden önce şebekeden ek olarak 66 W aktif güç yükü beslemek üzere çekilirken, evirici akımının 2.25 A değerine çıkması ile şebekeye 97 W güç aktarılır hale geldiği gözlemlenmiştir. Şebeke gücünün yönünü gösteren ve şebeke akımında meydana gelen faz değişimi Şekil 2.44 (a)'da görülmektedir.



Şekil 0.44. Şebeke bağlı çalışmada kapasitif yükte D-Q akım kontrolü (a) evirici çıkış akımı, şebekeden yüke aktarılan akım ve yük akımı (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması

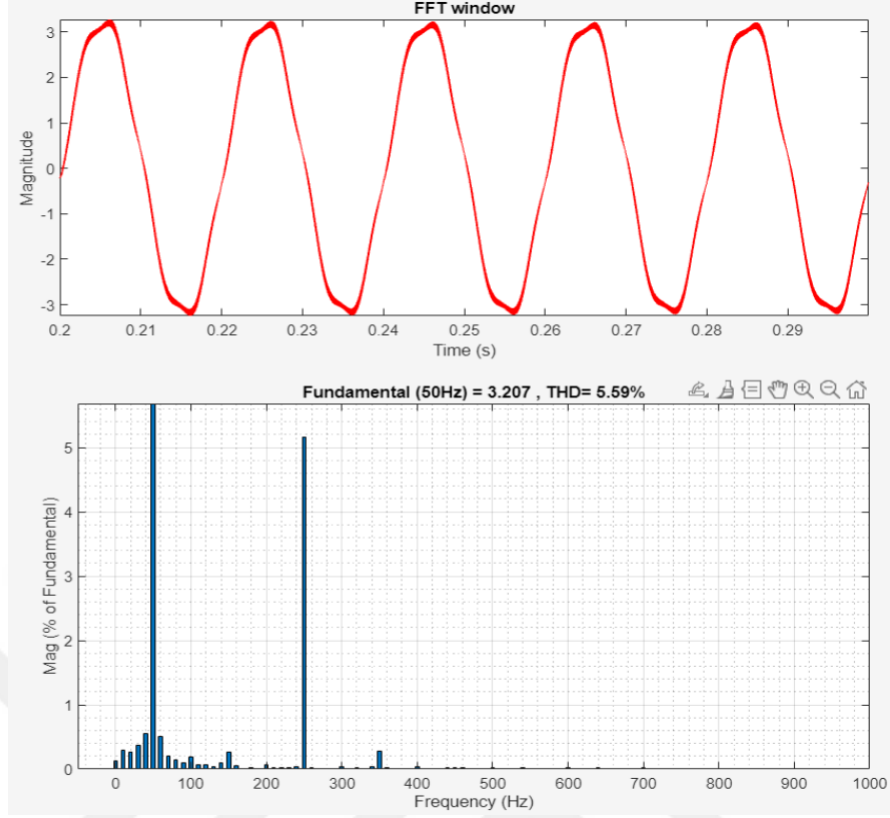
2.4.3. Harmonik Etki Altındaki Şebekede D-Q akım Kontrolü PSIM Simülasyonu

Bu kısımda ise evirici doğrusal olmayan yük bağlı şebeke yerine, 5. ve 7. harmoniklerin etkisi altındaki bir şebekeye akım enjekte edilmiş ve D-Q akım kontrolörün performansı ölçülmüştür. Yapılan simülasyonlarda ilk olarak 220 V 50 Hz şebekeye 20 V genliğinde 250 Hz harmonik sinyali eklenerek şebeke 5. harmoniğin etkisi altına alınmıştır. 5. harmoniğin etkisi üzerine yapılan simülasyon kapsamında elde edilen sonuçlar Şekil 2.45’de verilmiştir. Şebekeye enjekte edilen akımda genlik referans takibi Şekil 2.45 (a)’da gösterildiği gibi başarıyla gerçekleştirilmiş olmakla birlikte evirici akımında meydana gelen harmonik bozunum kaynaklı D-Q ekseninde elde edilen akım ifadelerinde düşük genlikli dalgalanmalar olduğu gözlemlenmiştir. Şekil 2.45 (b)’de gösterilen evirici akımının FFT analizi yapılmış Şekil 2.46’da verilmiştir. Analiz sonucunda evirici akımında 5. harmoniğin etkisinin kendini gösterdiği ancak toplam harmonik bozunumun %5.59 olarak ölçüldüğü gözlemlenmiştir.

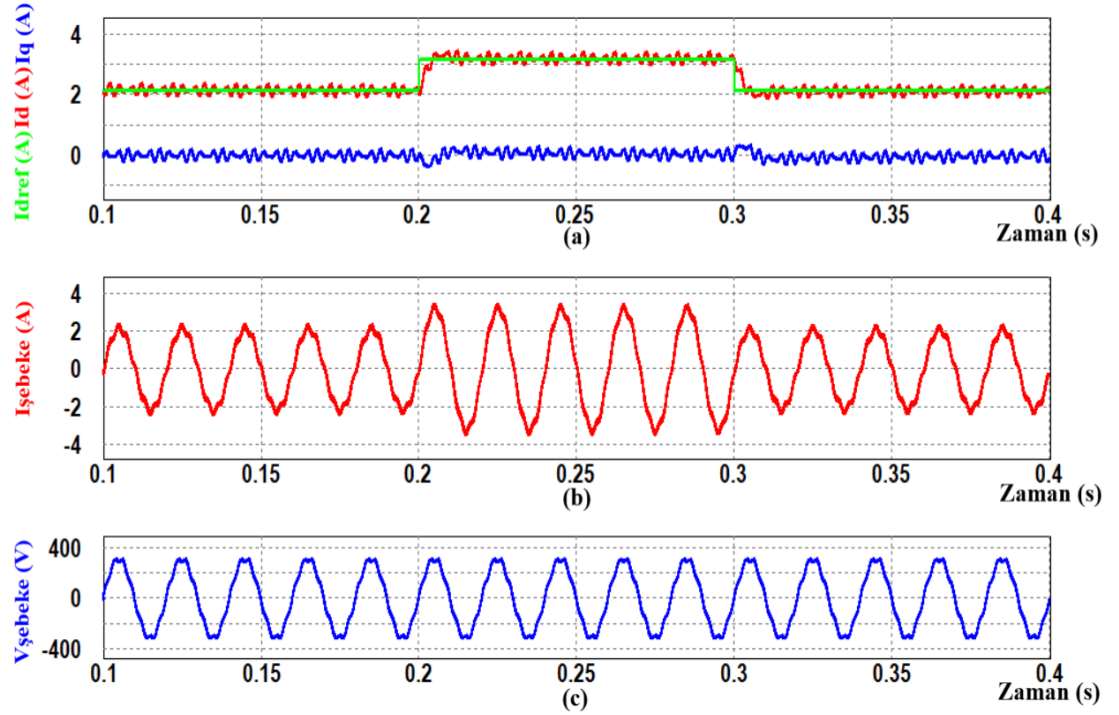


Şekil 0.45. Şebekede 5. Harmonik etkisi için D-Q akım kontrolü simülasyonu (a) akım referansı ve D-Q eksen akım grafikleri, (b) evirici akımı ve (c) şebeke gerilimi

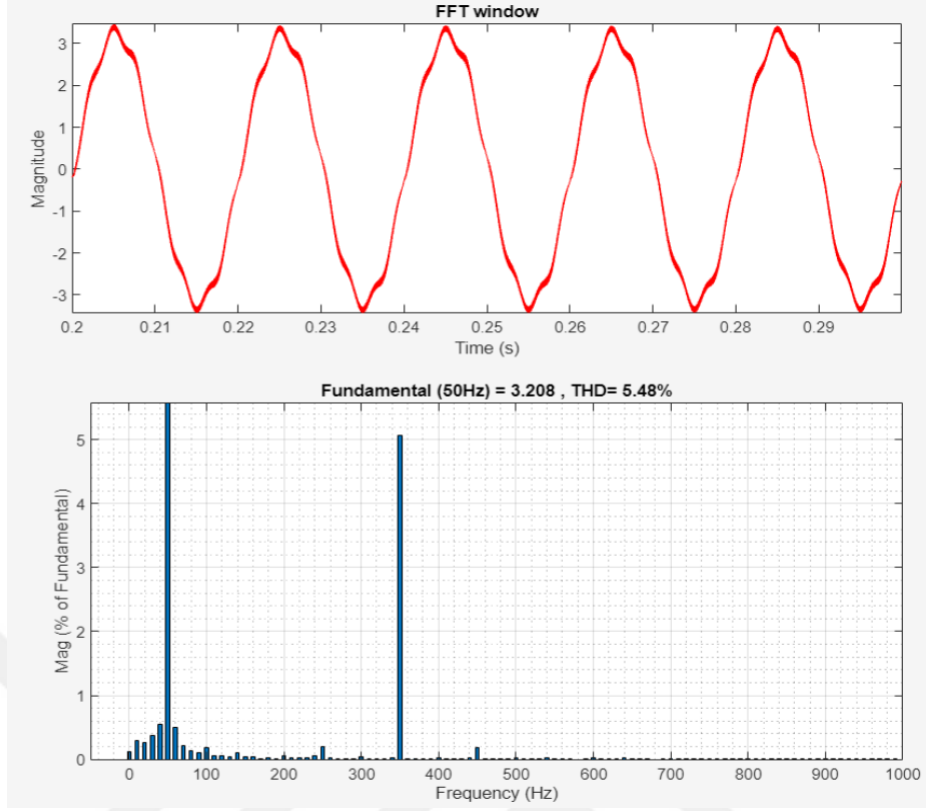
7. harmonik etkisi altındaki şebeke gerilimi ile eviricinin çalışması üzerine yapılan simülasyon sonuçları ise Şekil 2.47’de verilmiştir. Bir önceki simülasyonda olduğu gibi akım referans değeri istenilen şekilde takip edilmiş olmasına karşın harmonik bozunum kaynaklı olarak akımın D-Q eksenindeki dalgalanmalar göze çarpmaktadır. Öte yandan Şekil 2.48’de verilen FFT analizinde ise toplam harmonik bozunum %5.48 olarak ölçülmüş ve evirici akımında 7. Harmoniğin baskın olduğu gözlemlenmiştir.



Şekil 0.46. 5. Harmonik etkisi altındaki şebekeye enjekte edilen evirici akımının FFT analizi



Şekil 0.47. Şebekede 7. Harmonik etkisi için D-Q akım kontrolü simülasyonu (a) akım referansı ve D-Q eksen akım grafikleri, (b) evirici akımı ve (c) şebeke gerilimi



Şekil 0.48. 7. Harmonik etkisi altındaki şebekeye enjekte edilen evirici akımının FFT analizi

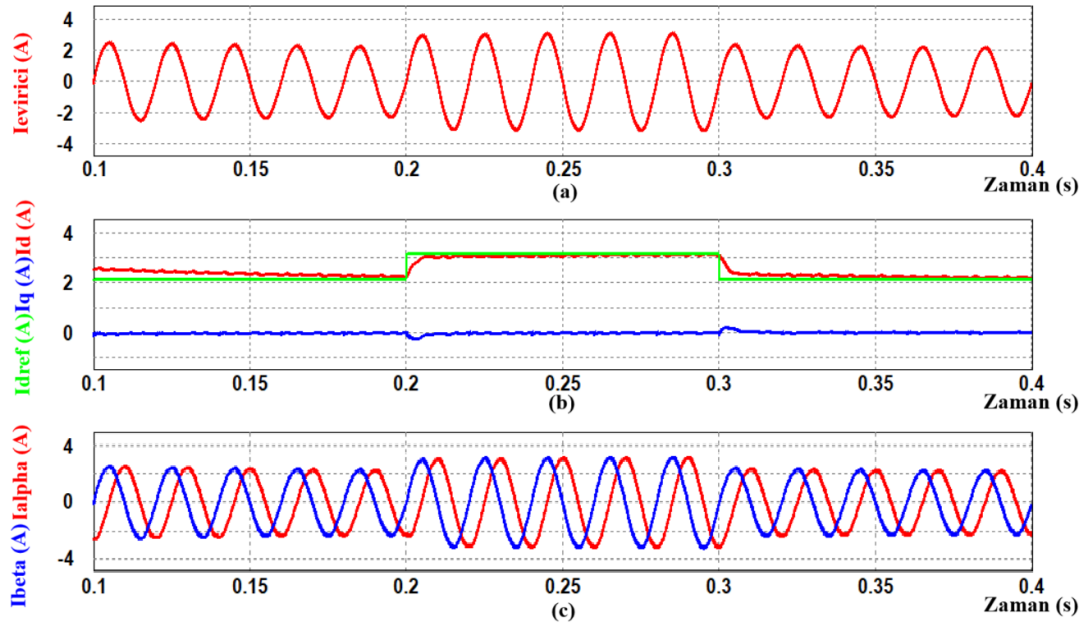
Tasarlanan evirici ve kontrolcü şebeke harmonik etkisi altında iken bile düzgün şekilde bir çalışma kapasitesini göstermiştir. Elde edilen veriler IEC61000-3-2 Class A harmonik standartları ile karşılaştırılmıştır. Karşılaştırma tablosu Çizelge 2.7’de verilmiş olmakla birlikte eviricinin ve tasarlanan D-Q akım kontrolörünün hem kapasitif hem de indüktif yükte yeterli performans gösterdiği gözlemlenmiştir.

Çizelge 0.7. Eviricinin doğrusal şebeke harmoniklerinde test edilen nominal akımının harmonik analizi tablosu

Harmonik Sayısı (n)	IEC61000-3-2 Limitleri (A)	5. Harmonik Etkisi Altındaki Şebeke			7. Harmonik Etkisi Altındaki Şebeke		
		%I _T	Genlik (A)	Limit Durumu	%I _T	Genlik (A)	Limit Durumu
1	-	-	3.207	-	-	3.208	-
3	2.3	%0.2	0.0064	✓	%0.1	0.0032	✓
5	1.14	%5.1	0.161	✓	%0.25	0.0080	✓
7	0.77	%0.25	0.0080	✓	%5.1	0.161	✓
9	0.40	%0.1	0.0032	✓	%0.1	0.0032	✓
11	0.33	%0.1	0.0032	✓	%0.1	0.0032	✓
13	0.21	%0.1	0.0032	✓	%0.1	0.0032	✓
15	0.15	%0.1	0.0032	✓	%0.1	0.0032	✓
17	0.13	%0.1	0.0032	✓	%0.1	0.0032	✓
19	0.11	%0.1	0.0032	✓	%0.1	0.0032	✓
21	0.10	%0.1	0.0032	✓	%0.1	0.0032	✓

2.4.4. Şebekeden Bağımsız Doğrusal Yük Beslemede D-Q Akım Kontrol PSIM Simülasyonu

Evirici ile yapılan bir başka PSIM simülasyonunda ise D-Q akım kontrolcüsünün şebekeden bağımsız çalışma performansı test edilmiştir. Şebekeden bağımsız çalışabilmesi için sanal bir sinüs sinyali kontrol algoritmasına verilmiş olup bu referans sinyalin takibinde 100 Ω değerinde bir yüke sinüzoidal akım enjekte etmesi sağlanmıştır.



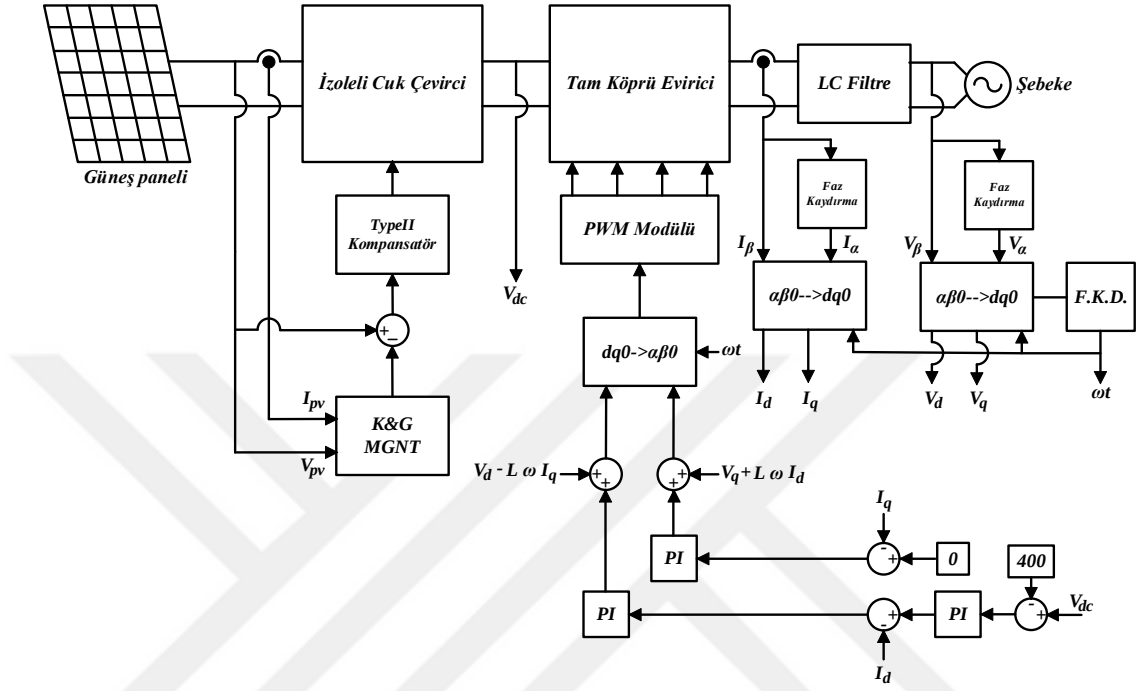
Şekil 0.49. Şebekeden bağımsız çalışmada rezistif yükte D-Q akım kontrolü (a) şebekeye enjekte edilen akım, (b) şebeke akımının D-Q eksenindeki ifadesi ve akım genlik referansı ile karşılaştırılması, (c) şebekeye enjekte edilen akımın Alpha-Beta formunda ifadesi bileşenleri ve ortogonal dalga üretimi

Yapılan ilk testte direnç yüküne akım enjekte edilmiş ve alınan ölçüm sonuçları Şekil 2.49'da verilmiştir. Şekil 2.49 (b)'de görüldüğü üzere kontrolcü şebekeden bağımsız çalışırken I_d referansına oturmada problem yaşadığı gözlemlenmiştir. Öte yandan I_q değerinin sıfıra daha hızlı oturduğu ve kalıcı durum hatasına sebep olmadığı görülmüştür. Bu durumun temel sebebi D-Q akım kontrolör PI parametrelerinin Bölüm 2.3.4'de ele alınan tasarımda sadece bobin ESD değeri hesaba kayılarak hesaplanmış olmasıdır. Evirici şebekeden ayrılıp R_L direnç yükünü beslemeye başladığında çıkışındaki direnç değeri $r_{Lf} + R_L$ olarak değişmektedir. Bu da K_i değerinin yeniden hesaplanması gereksinimini doğurmaktadır.

2.5. MİKRO-EVİRİCİ PSIM SİMÜLASYONU

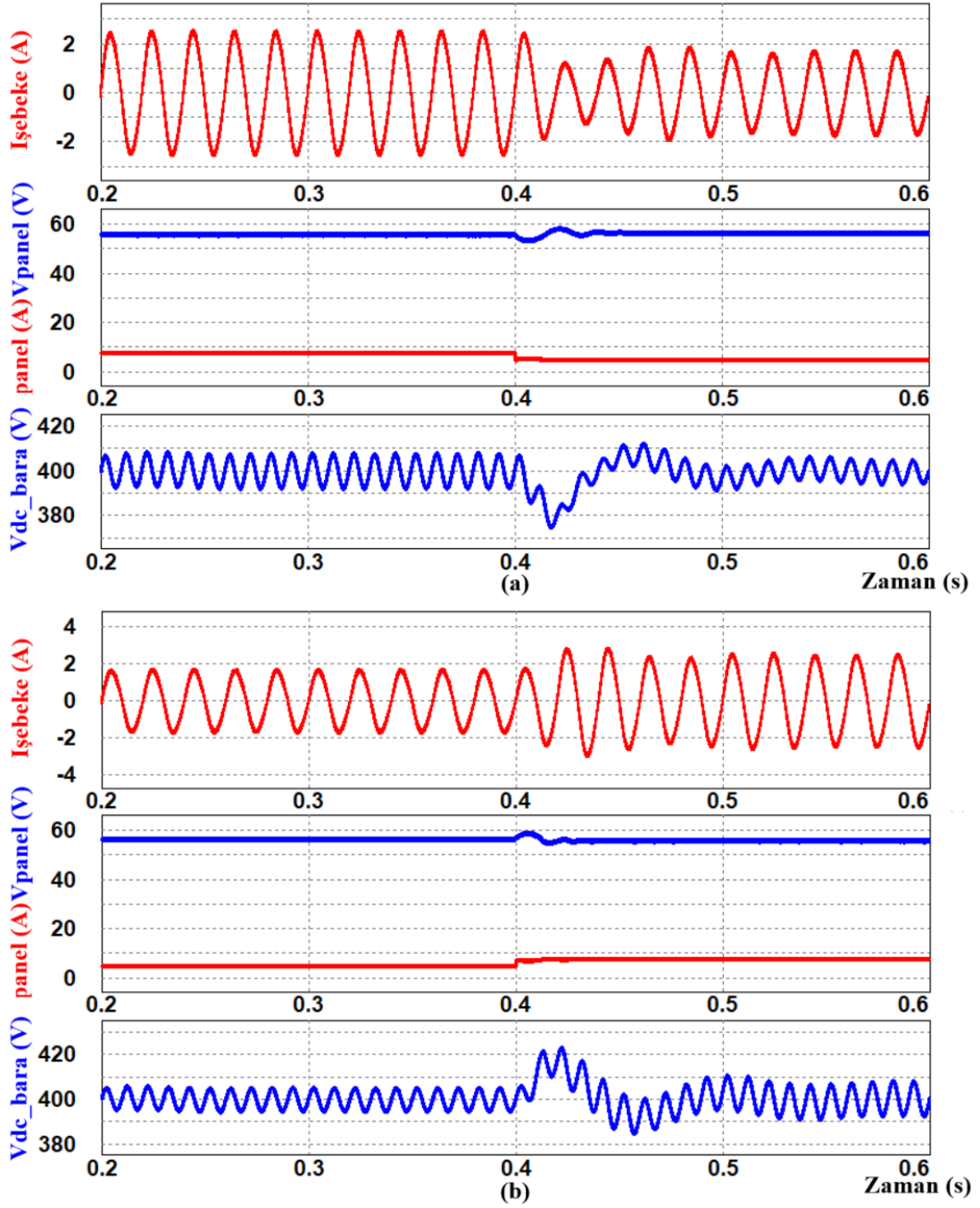
İÇÇ ve eviricinin güç katı ve kontrol katlarının tasarlanması ve simüle edilmesi aşamasından sonra geriye bu iki birimin birbiri ile entegre edilerek çalıştırılması aşaması kalmıştır. Bu aşamada İÇÇ K&G MGNT algoritması ile çalıştırılırken evirici

tarafında kullanılan D-Q akım kontrolörünün I_d referans beslemesi için DA bara gerilimi kontrol edilerek bir akım referansı oluşturulmaktadır. Evirici ve çevirici için entegre edilmiş kontrol şeması Şekil 2.50’de verilmiştir.



Şekil 0.50. D-Q kontrol ve MGNT algoritmalı mikro evirici kontrol şeması

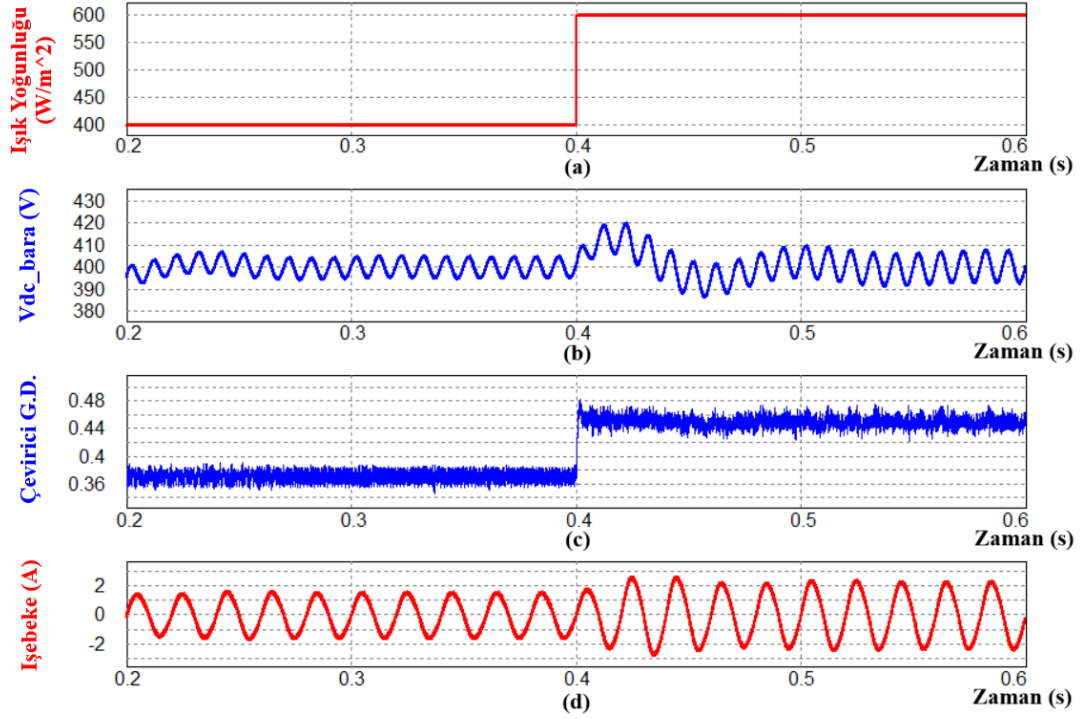
MGNT algoritması bağımsız olarak İCÇ'nin görev döngüsünü panelden maksimum gücün çekileceği şekilde ayarlarken DA bara gerilim kontrolcüsü DA bara gerilimini sürekli 400 V'da sabit tutacak şekilde I_d akım referansını arttırıp azaltmaktadır. Eğer panel üzerine düşen ışımaya azalır ve evirici aynı akım referansı ile şebekeye akım enjekte etmeye devam ederse İCÇ DA bara gerilimini 400 V'da tutamayacak ve gerilim seviyesi düşmeye başlayacaktır. Bu sayede DA bara gerilim kontrolcüsünün girişinde artan hata oranı I_d referansının düşürülmesine neden olacaktır. Böylelikle şebekeye enjekte edilen akım azalırken DA bara gerilimi 400 V'da tutulmaya devam edecektir.



Şekil 0.52. Mikro-evirici sistemin ışıma değişimlerine karşı kontrol cevabının ölçülmesi (a) ışıma şiddetinin 600 W/m²'den 400 W/m²'ye düşmesi durumu ve (b) ışıma şiddetinin 400 W/m²'den 600 W/m²'ye çıkması durumu

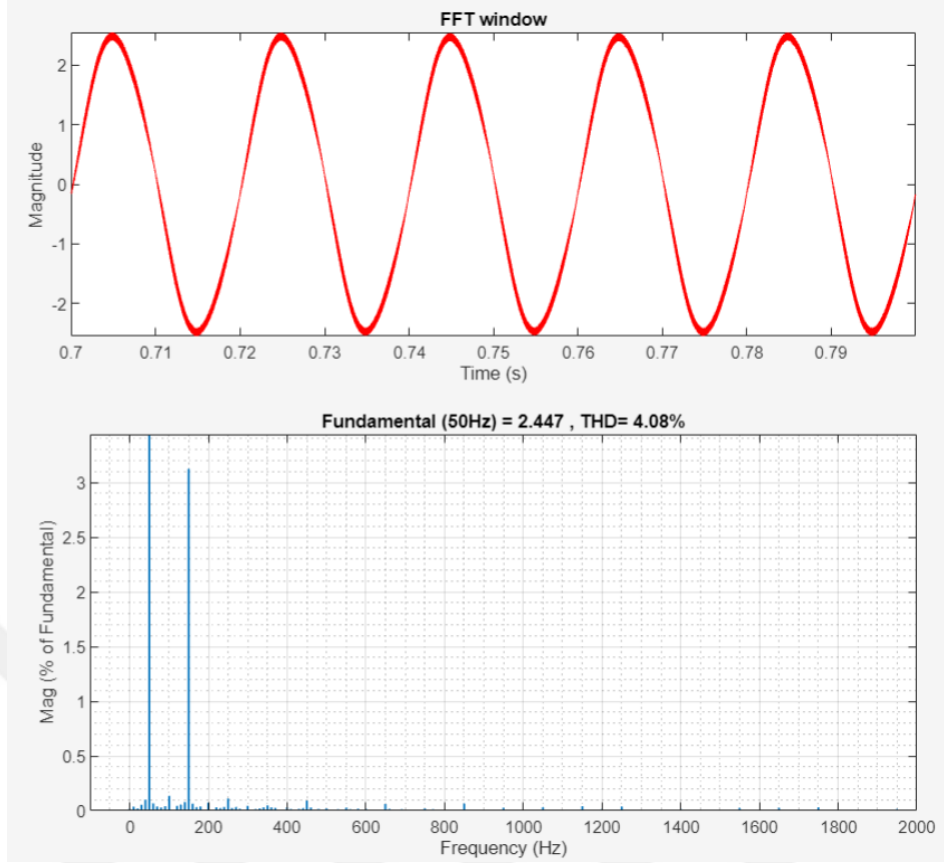
Panel üzerine düşen ışıma yoğunluğunun artması ile birlikte İCÇ'nin görev döngüsünün nasıl değiştiği, K&G MGNT algortimasının nasıl çalıştığı da şebekeye enjekte edilen akım ve DA bara gerilimi değrleri ile eş zamanlı olarak kaydedilmiş ve

gözlemlenmiştir. Şekil 2.53 (c)'de artan ışıma yoğunluğuna karşılık çeviricinin görev döngüsündeki değişim grafiği verilmiştir.

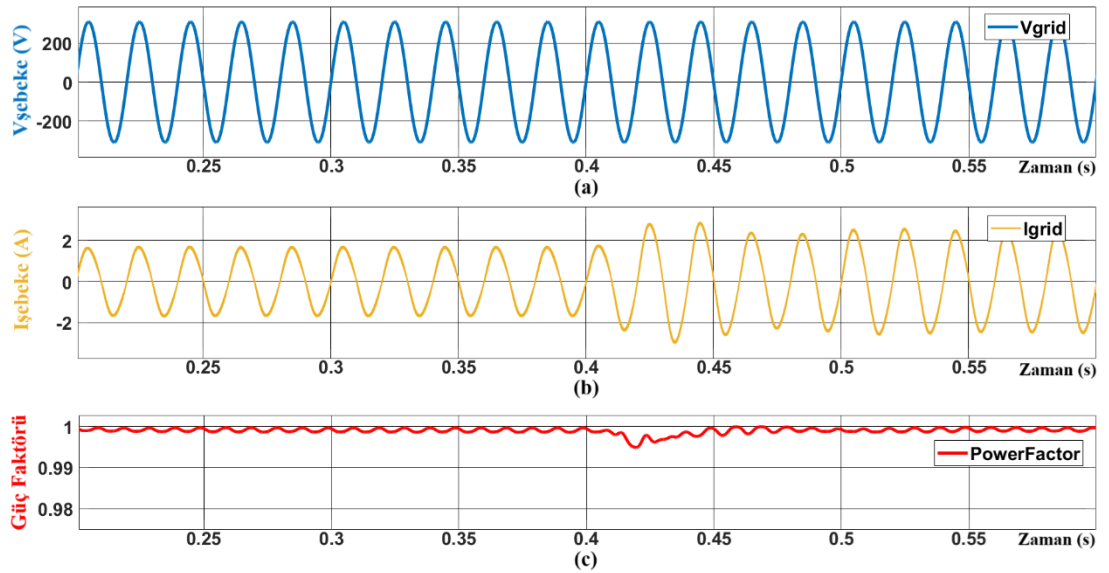


Şekil 0.53. Mikro-evirici sistemin (400 W/m²'den 600W/m²'ye) artan ışıma şiddetinde şebekeye enjekte edilen akıma karşılık MGNT parametreleri (a) ışıma yoğunluğu, (b) DA bara gerilimi, (c) çevirici görev döngüsü oranı ve (d) şebekeye enjekte edilen akım

Kontrol performansı ölçümlerinin yanı sıra mikro-eviricinin güç kalitesi simülasyonları da gerçekleştirilmiştir. Evirici %80 kapasitede çalıştırılmış ve evirici akım ifadesinin FFT analizi Şekil 2.54'deki gibi elde edilerek harmonik bozunum %4 olarak ölçülmüştür. Ek olarak, Şekil 2.55 (c)'de kaydedildiği üzere güç faktörü 0.99'un altına düşmemiştir.

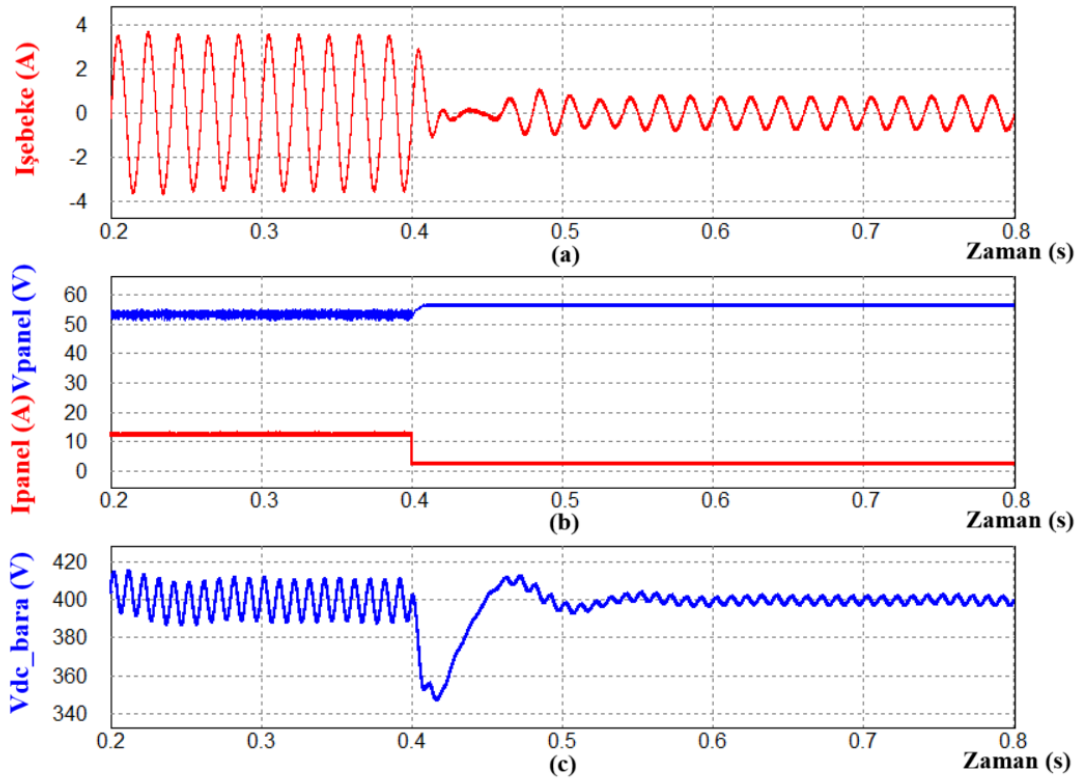


Şekil 0.54. Mikro-evirici simülasyonu şebeke akımı FFT analizi ve harmonik bozunum ölçümü

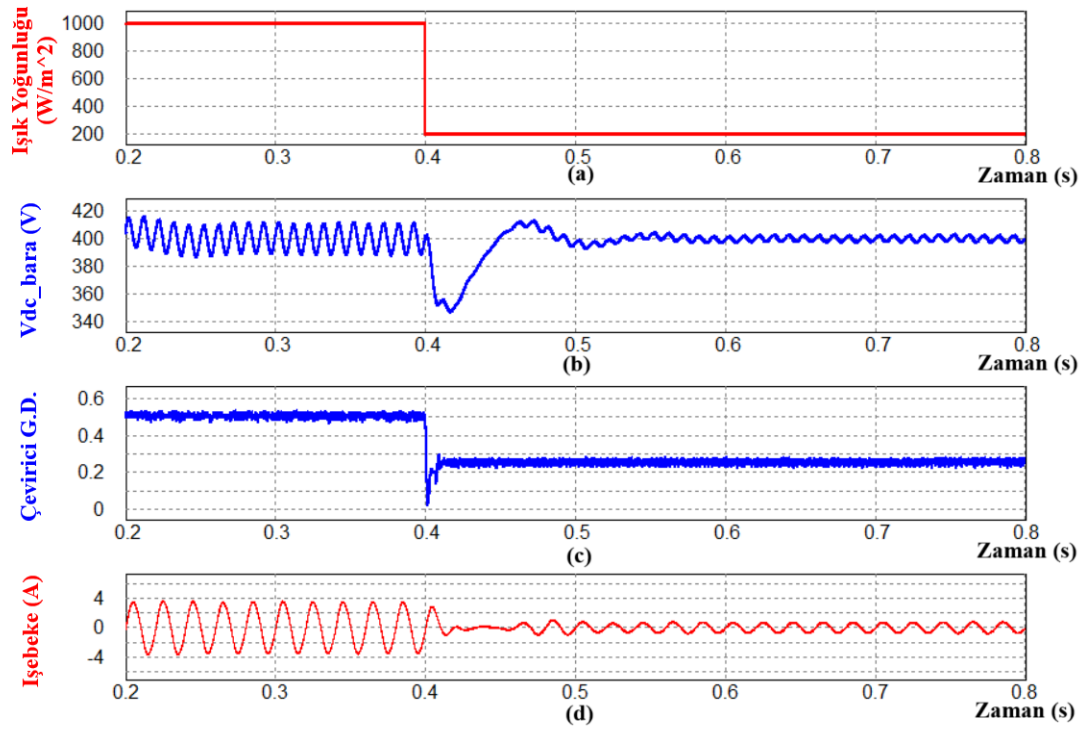


Şekil 0.55. Mikro-evirici simülasyonunda ışıma değişimi ve şebekeye enjekte edilen akım değişimine karşılık güç faktörünün değişiminin gözlemlenmesi (a) şebeke gerilimi, (b) şebeke akımı ve (c) güç faktörü

Mikro-evirici ile yapılan bir diğer simülasyonda ise ışıma yoğunluğu daha büyük bir aralıkta değiştirilerek sistemin cevabı gözlemlenmiştir. Işıma yoğunluğu 1000 W/m^2 'den 200 W/m^2 'ye düşürülerek sistemin ani değişim durumlarında nasıl çalıştığı gözlemlenmiş ve Şekil 2.56'daki sonuçlar elde edilmiştir. Yine bir önceki deneyde olduğu gibi azalan ışıma şiddeti ile DA bara gerilimi düşmeye başlamış ve bir süreliğine iki şebeke periyodu boyunca akım enjeksiyonu kontrolör tarafından minimize edilerek DA bara geriliminin kendini toparlayıp 400 V 'a çıkması sağlanmıştır. Bu büyük genlikli değişim sürecinde ışıma şiddeti ve çevirici görev döngüsünün nasıl değiştiğini gösteren grafikler ise Şekil 2.57'de verilmiştir. Tip 2 kompensatör ile takviye edilmiş MGNT kontrolcüsü büyük genlikli değişimde bile çok hızlı bir şekilde çevirici görev döngüsünün ayarlanmasını sağlayarak eviriciyi sağlıklı bir şekilde beslemeye yardımcı olmuştur.



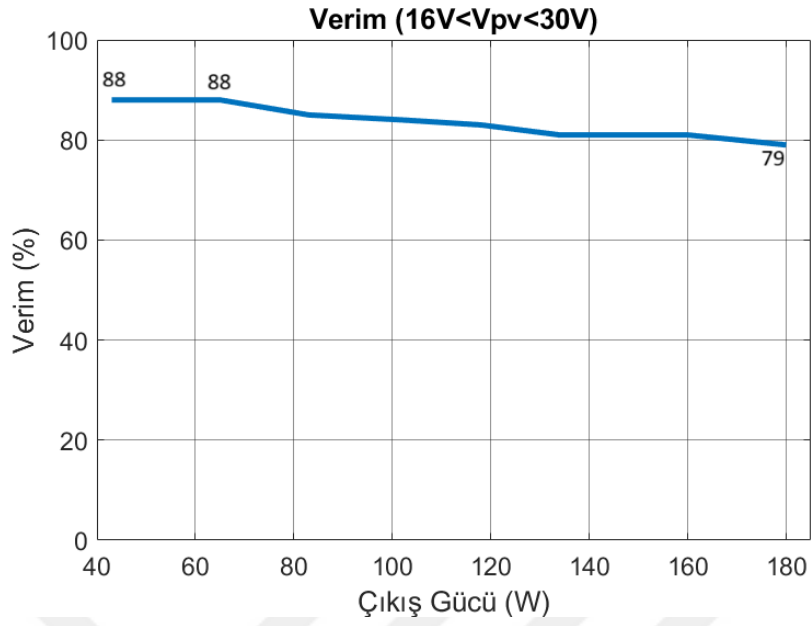
Şekil 0.56. Mikro-evirici sistemin (1000 W/m^2 'den 200 W/m^2 'ye) azalan ışıma şiddetinde şebekeye enjekte edilen akım değerinin kontrolüne ilişkin (a) şebeke akımı, (b) panel gerilimi ve panel akımı ve (c) DA bara gerilimi.



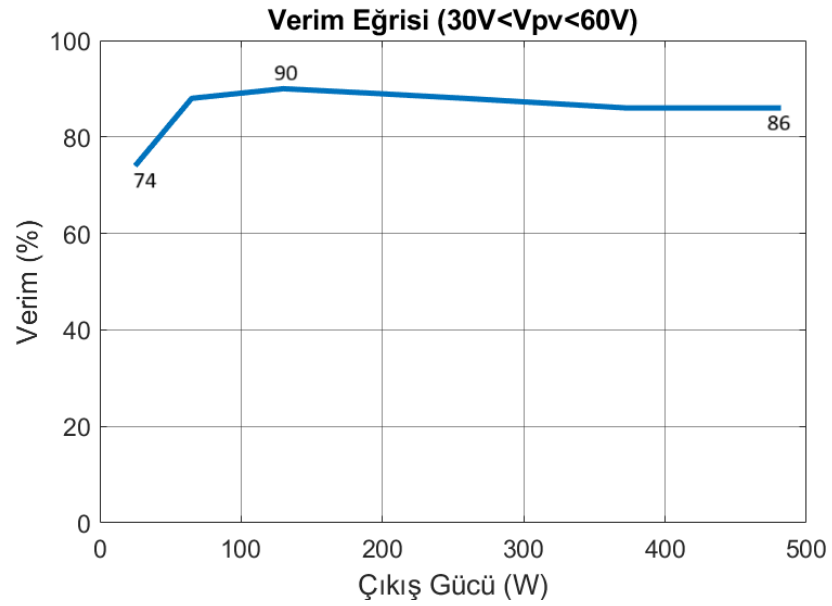
Şekil 0.57. Mikro-evirici sistemin (1000 W/m^2 'den 200 W/m^2 'ye) azalan ışıma şiddetinde şebekeye enjekte edilen akıma karşılık MGNT parametreleri (a) ışıma yoğunluğu, (b) DA bara gerilimi, (c) çevirici görev döngüsü oranı ve (d) şebekeye enjekte edilen akım

PSIM simülasyonları kapsamında son olarak yapılan ölçümler mikro evirici sistemin verimliliği analiz edilmiştir. Mikro evirici sistem 16V-90V aralığında çok geniş bir MGNT gerilim aralığının sahip olduğu verim eğrisi üç farklı gerilim aralığı için çıkarılmıştır. 16V-30V aralığında düşük güçlü bir panel simüle edilerek yapılan simülasyonlarda elde edilen verim eğrisi Şekil 2.58'de verilmiştir. 1000 W/m^2 ışıma değerine çıkıldığında şebekeye maksimum 180 W güç aktarabilen mikro eviricinin verimi %79 olarak ölçülmüştür. Tepe verim değeri ise 43 W çıkış gücünde %88 olarak kaydedilmiştir.

Mikro eviricinin 30V-60V aralığında gerilim veren bir panel ile çalışması durumunda elde edilen verim eğrisi Şekil 2.59'da verilmiştir. Tepe verim değeri olan %90'a şebekeye 130 W güç aktarılırken ulaşılmış olmakla birlikte, tam güçte %86 verim elde edilmiştir.



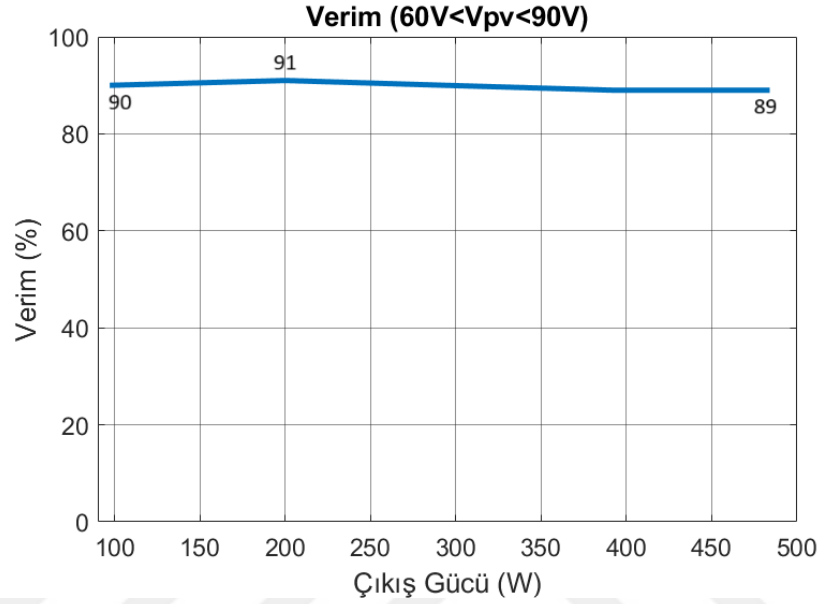
Şekil 0.58. 16V-30V aralığında MGNT yapan mikro evirici verim eğrisi



Şekil 0.59. 30V-60V aralığında MGNT yapan mikro evirici verim eğrisi

60V-90V aralığında çalışan bir panel için yapılan son deneyde ise elde edilen verim grafiği Şekil 2.60'da sunulmuştur. En yüksek verim değerlerinin elde edildiği deneylerde 200 W çıkış gücünde %91 verim elde edilirken mikro evirici tam kapasite çalıştırıldığında 500 W'da %89 verim elde edilmiştir. Panel gerilimi arttıkça veriminde artmasının sebebi temel olarak DA-DA çeviricide meydana gelen iletim ve

anahtarlama kayıplarının azalması ile ilişkilidir. Simülasyonlar kapsamında iletim kayıpları ve manyetik kayıplar modellenmiş olmakla birlikte prototipten elde edilmesi beklenen verim değerlerinin, kontrol, sürme ve koruma devrelerinin harcadığı güçler de dahil edildiğinde %1-2 daha düşük olması beklenmektedir.



Şekil 0.60. 60V-90V aralığında MGNT yapan mikro evirici verim eğrisi

BÖLÜM 3

MANYETİK MALZEMELERİN ÜRETİLMESİ VE PROTOTİPLEME

Teorik hesapları, kontrol tasarımı ve simülasyonları yapılan mikro eviricinin fiziksel deney aşamasına geçilebilmesi için prototipleme işleminin yapılması gerekmektedir. Bu hedef doğrultusunda, bölüm kapsamında öncelikle çevirici ve evirici ünitelerinde kullanılmak üzere tasarlanan manyetik malzemelerin üretimi ele alınmıştır. Sonrasında ise baskı devre tasarımı ile birlikte MOSFET sürücüler, akım-gerilim ölçüm devreleri ve koruma devrelerinin tasarımları ele alınmıştır.

3.1. MANYETİK MALZEMELERİN TASARIMI VE ÜRETİMİ

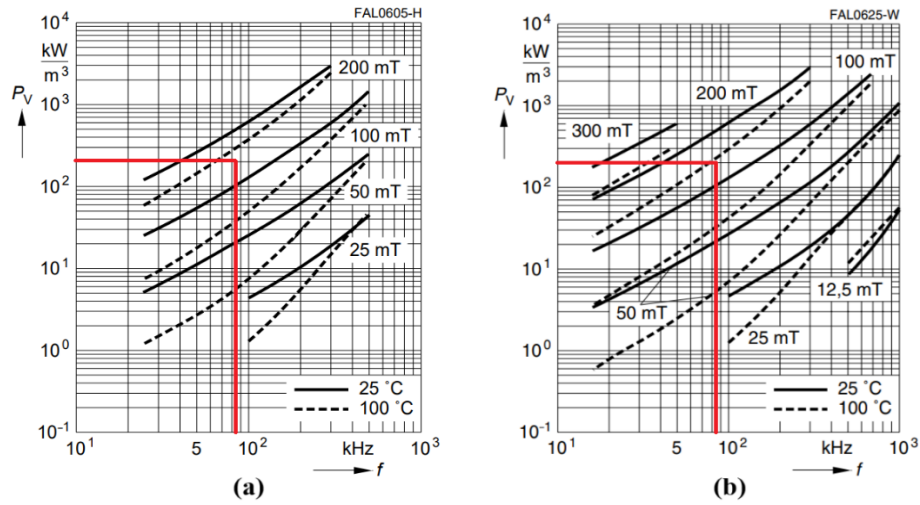
Bu bölümde izoleli cuk çevirici ve eviricide kullanılacak olan bobin ve trafoların tasarımı ve üretimi ele alınmıştır. Manyetik malzemelerin tasarımı esnasında dikkate alınan ve hesaplamalara dahil edilen bobin RMS akım değerleri için PSIM simülasyonlarında elde edilen ölçümler esas alınmıştır.

3.1.1. Çevirici Manyetik Malzemelerinin Tasarımı ve Üretimi

Manyetik malzemelerin tasarımında ve üretiminde N87 ve N97 materyalinden üretilmiş TDK Electronics ferrit nüveleri kullanılmıştır. Trafo için kullanılan nüve ETD3411-N97 iken, giriş ve çıkış bobinleri için kullanılacak olan nüveler EE2507-N87 olarak seçilmiştir. Manyetik bileşenlerin tasarım işlemine geçilmeden önce belirlenen nüvelerin materyallerinin teknik özelliklerinin incelenmesi ve çevirici çalışma frekansına bağlı olan histerezis kaybı ve izin verilen maksimum manyetik akı yoğunluğu değişimi parametrelerinin incelenmesi gerekmektedir.

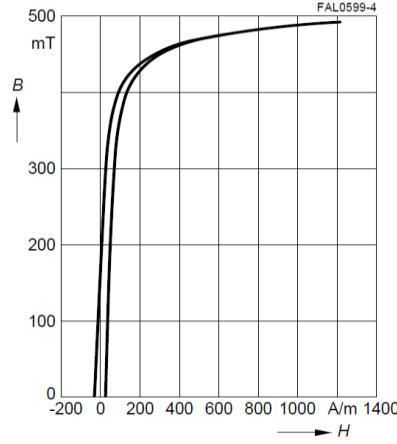
Bir önceki bölümde 85 kHz olarak belirlenen çevirici anahtarlama frekansı nüvelerde meydana gelecek histerezis kayıpları ile doğrudan ilişkilidir. Bu nedenle nüvelerde

meydana gelecek histerezis kayıplarının 200 kW/m^3 olarak sınırlandırılması için N87 ve N97 malzemelerinin veri kâğıdında verilmiş olan nüve kaybı ve çalışma frekansı grafiğinin incelenerek izin verilen maksimum manyetik akı yoğunluğu değişimi (ΔB_{max}) belirlenmiştir. Manyetik malzemeler N87 ve N97 için veri kâğıdından alınan grafikler sırasıyla Şekil 3.1 (a) ve (b)'de verilmiştir. İstenilen m^3 başına kayıp değerini elde etmek için N97 malzemesi için 175 mT değeri esas alınarak manyetik malzeme tasarımının yapılmasına karar verilmiştir.



Şekil 0.1. Ferrit nüvelere ilişkin kayıp ve çalışma frekansı eğrileri (a) N87 ferrit nüvler için ve (b) N97 ferrit nüveler için

CKİ'nin yani yüksek frekans trafosusun çalışma modunda akım primerden çift yönlü olarak aktığından nüve üzerinde oluşması beklenen histerezis kayıp miktarının nispeten yüksek olması beklenmektedir. Öte yandan giriş ve çıkış bobinleri SİM'de çalışacakları ve bir anahtarlama periyodu boyunca üzerlerinde meydana gelecek akım değişimi trafodakine nazaran oldukça düşük olacağı için bobin nüveleri üzerinde oluşacak olan histerezis kayıpları çok düşük olacaktır. Bu nedenle nüvenin B-H eğrisindeki izin verilen maksimum manyetik akı yoğunluğuna yakın bir sınıra kadar tasarım yapılabilir. Şekil 3.2'de verilen N87 nüvenin B-H eğrisine göre 400 mT değerine kadar çıkılarak giriş ve çıkış bobinleri tasarlanabilir.



Şekil 0.2. N87 Ferrit Nüve B-H eğrisi

3.1.1.1. Giriş ve Çıkış Bobinlerinin Tasarımı ve Üretimi

Çeviricinin giriş ve çıkış indüktörleri için kullanılacak nüve EE3209-N87 nüvesi olarak seçilmiştir. Nüveye ait teknik bilgiler Çizelge 3.1’de verilmiştir. Giriş indüktörleri için gerekli sarım sayısının hesaplanması için Denklem 3.1 kullanılmıştır. Bu hesapta gerekli indüktans değeri ve indüktör üzerinde oluşacak olan tepe akım değeri hesaba katılmıştır. İndüktörün tam yükte doyuma gitmemesi için üzerinde oluşacak bu tepe akım değerinin hesaba dahil edilmesi gerekmektedir. Tepe akım değeri PSIM simülasyonları sonucunda maksimum 15 A olarak bulunmuştur. Hesaplama sonucunda gerekli sarım sayısı 27 tur olarak Denklem 3.2’de hesaplanmıştır.

$$N = \frac{L * I_{tepe}}{A_e * \Delta B_{max}} \quad (3.1)$$

$$N = \frac{60 * 10^{-6} * 15}{83 * 10^{-6} * 0,4} = 27 \text{ tur} \quad (3.2)$$

Çizelge 0.1. EE3209-N87 Epcos TDK Electronics Ferrit Nüve Parametreleri

A_e	83 mm ²	ΔB_{max}	400 mT
A_w	108.5 mm ²	V_e	6140 mm ³
μ_r	2200 H/m	l_e	74 mm

Çıkış indüktörü için EE2507-N87 nüvesi seçilmiştir. Nüveye ait teknik parametreler Çizelge 3.2’de verilmiştir. İndüktör üzerinde oluşabilecek maksimum akım değeri

PSIM simülasyonunda 1.5 A olarak hesaplanmıştır. Denklem 3.1 ile yapılan hesap sonucunda gerekli sarım sayısı Denklem 3.3’de 210 tur olarak bulunmuştur.

$$N = \frac{3 * 10^{-3} * 1.5}{52.5 * 10^{-6} * 0,2} = 210 \text{ tur} \quad (3.3)$$

Çizelge 0.2. EE2507-N87 Epcos TDK Electronics Ferrit Nüve Parametreleri

A_e	52.5 mm ²	ΔB_{max}	400 mT
A_w	61 mm ²	V_e	3020 mm ³
μ_r	2200 H/m	l_e	57.5 mm

İndüktörlerin tasarımında en önemli olan hususlardan biri ise indüktörün doyuma gitmemesi ve indüktans özelliğini gösterebilmesi için hava aralığı eklenmesi gereksinimidir. Nüve yani ferrit malzeme kristalize bir metal olarak ferromanyetik malzemeler grubuna girer. Ferromanyetik bir malzeme olan N87 gibi ferrit materyallerin bağıl manyetik geçirgenlikleri (μ_r) 2.200 H/m gibi bir değer almaktadır. μ_r parametresi Denklem 3.4’de gösterildiği gibi manyetik akı yoğunluğunun (B) manyetik akı şiddetine göre türevidir. Bir başka deyişle μ_r bir eğim ifadesidir ve bu eğim ifadesi Denklem 3.5’de gösterildiği gibi bobinin sahip olduğu indüktans ile doğru orantılıdır.

$$\mu_r = \frac{\partial B}{\partial H} \begin{cases} H = n * I \\ B = \frac{\varphi}{A_e} \end{cases} \quad (3.4)$$

$$L = \frac{\mu_r \mu_0 N^2 A_e}{l_e} \begin{cases} \mu_r \uparrow L \uparrow \Delta I \downarrow \\ \mu_r \downarrow L \downarrow \Delta I \uparrow \end{cases} \quad (3.5)$$

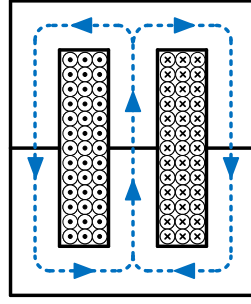
μ_r parametresi yani eğim ne kadar büyükse bobinin o kadar yüksek indüktans göstermesi beklenir ancak bu parametre sabit değildir. Şekil 3.3 (a)’da gösterildiği gibi sargılar üzerinden akım geçtiğinde oluşan manyetik alan nüve içinde bir manyetik akının akmasına neden olur. Nüve içinde akan manyetik akı nüveyi oluşturan ferromanyetik hücrelerdeki serbest domenlerin manyetik akı yönünde polarize olmasına ve üzerlerinde potansiyel bir manyetik enerji birikmesine neden olur [92]. Domenler nüve içinde manyetik akıyı taşıyan mikro ferro-manyetik kristal hücreleridir. Manyetik alan şiddeti artıp nüveye etki ettikçe nüve içinde daha çok

domen polarize olmaya başlar. Manyetik alan şiddeti yeterince büyük bir noktaya ulaştığında ise nüvede bulunan domenlerin tamamı polarize olur artan manyetik alan şiddetini taşıyacak daha fazla domen kalmaz. Nüve içindeki tüm domenlerin polarize olduğu bu noktada nüve doyuma giderek relüktansını düşürür indüktans gösteremez. Şekil 3.3 (c)'de verilen B-H eğrisinde gösterildiği artan manyetik alan şiddeti ile tüm domenleri polarize olan nüve doyuma giderek manyetik bağlı geçirgenliği azalır ve dolayısıyla Şekil 3.3 (c) L-I eğrisindeki gibi manyetik malzemenin indüktansı azalır. Bobin üzerinde indüklenen enerjinin denklemi Denklem 3.6'da verilmiştir. Bu durumda manyetik alan şiddeti ne kadar arttırılırsa arttırılsın doyuma giden bir nüvede indüktans sıfıra yaklaşırken bobin üzerinde indüklenen enerji miktarı daha fazla artmaz. Bu noktada manyetik malzeme bir iletken gibi davranarak yüksek akımların akmasına ve kısa devre kaynaklı aşırı akım yüklenmeleri ile birlikte arızalanmaların yaşanmasına neden olur. Manyetik akı yönünde polarize olan bu domenler, manyetik alan ortadan kalktığında ise polarize olmuş yönlerinden tekrar doğal polarizasyonlarına geri dönerler.

$$E = \frac{1}{2}LI^2 \quad (3.6)$$

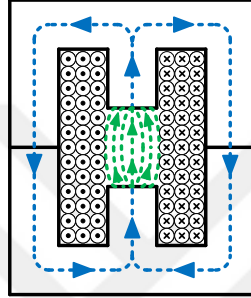
Öte yandan manyetik akı yolundaki relüktans yani manyetik akıya karşı gösterilen direnç arttırılarak nüvedeki domenlerin hızlı bir şekilde polarize olmalarının önüne geçilir ve nüvenin doyuma gideceği manyetik alan şiddeti seviyesinin arttırılması sağlanır. Manyetik akı yolunun relüktansını arttırmanın en iyi yolu ise manyetik akı yoluna bir hava kesiti açmaktır. Manyetik bağlı geçirgenliği 1 olan hava aralığı yüksek relüktans göstererek devrenin eşdeğer μ_r 'sini ve dolayısıyla da indüktans değerini azaltır ancak bununla birlikte bobinin çalışabileceği güvenli ve stabil bölge genişletilmiş olur. Şekil 3.3 (c)'de verilen B-H ve ϕ -H eğrilerinde görüldüğü üzere nüvenin doyuma gitme noktası ΔH kadar ötelenir.

Hava Aralıksız Ferrit Nüve,
Sargılar ve Manyetik Akı



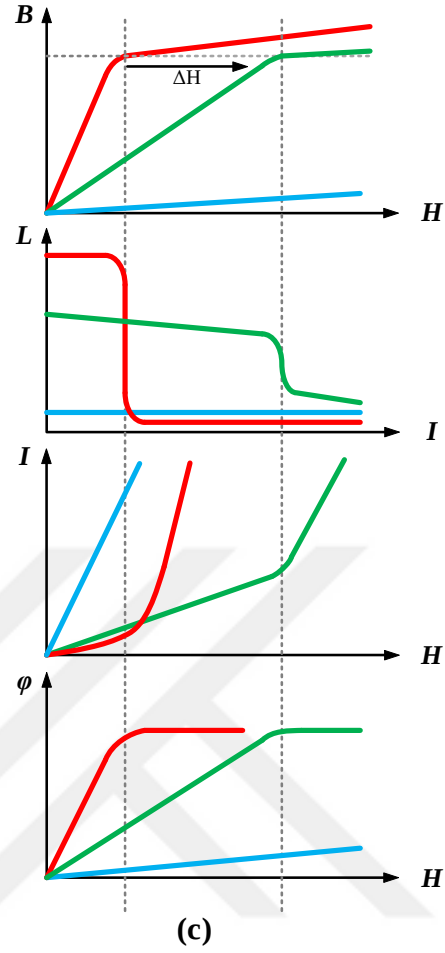
(a)

Hava Aralıklı Ferrit Nüve,
Sargılar ve Manyetik Akı



(b)

- Hava Aralıksız Nüveli Bobin
- Hava Aralıklı Nüveli Bobin
- Nüvesiz Bobin



(c)

Şekil 0.3. a-) Hava aralıksız ferrit nüve ve manyetik akı yolu, b-) Hava aralıklı ferrit nüve manyetik akı yolu, c-) hava aralıksız, hava aralıklı ve hava sarımlı bobin için B-H eğrisi, L-I eğrisi, I-H eğrisi ve ϕ -H eğrisi

Hava aralığının eklenmesi ile birlikte artan relüktans μ_r 'nin azalmasına sebep olur. Manyetik bağlı geçirgenliğin ne kadar azalacağı eklenen hava aralığının uzunluğu ile ilgilidir. Öte yandan manyetik akı yoluna hava açmak yerine alüminyum yad da kâğıt gibi diğer paramanyetik malzemeler de konulabilir. Relüktans arttırmak için kullanılan malzemenin özelliğine göre elde edilecek μ_r değeri Denklem 3.7 ile hesaplanmaktadır. Denklemde μ_{re} efektif manyetik bağlı geçirgenlik ve μ_{rg} yüksek relüktanslı aralık malzemesinin bağlı manyetik geçirgenliği iken μ_{rm} ferrit nüvenin bağlı manyetik geçirgenliği olmakla birlikte l_e ve l_g sırasıyla nüvenin ve yüksek relüktanslı yolun efektif uzunluğudur.

$$\mu_{re} = \frac{\mu_{rg}\mu_{rm}\left(\frac{l_e}{l_g}\right)}{\mu_{rg}\left(\frac{l_e}{l_g}\right) + \mu_{rm}} \quad (3.7)$$

Bir indüktörün istenilen indüktans değerini gösterebilmesi için gereken hava aralığı miktarı (l_g) Denklem 3.8 kullanılarak hesaplanmaktadır. Denklemde (μ_r) hava aralığında kullanılacak paramanyetik malzemenin manyetik bağıl geçirgenliği iken, μ_0 boş uzayın manyetik geçirgenliği olarak tanımlanmaktadır. Havanın bağıl manyetik geçirgenliği 1 H/m alınmaktadır. Denklem 3.9'da giriş indüktörü için hesaplanan gerekli hava boşluğu 1.27 mm olarak ve Denklem 3.10'da ise çıkış indüktörleri için gerekli hava boşluğu miktarı 0.96 mm olarak hesaplanmıştır.

$$l_g = \frac{\mu_r \mu_0 N^2 A_e}{L} \quad (3.8)$$

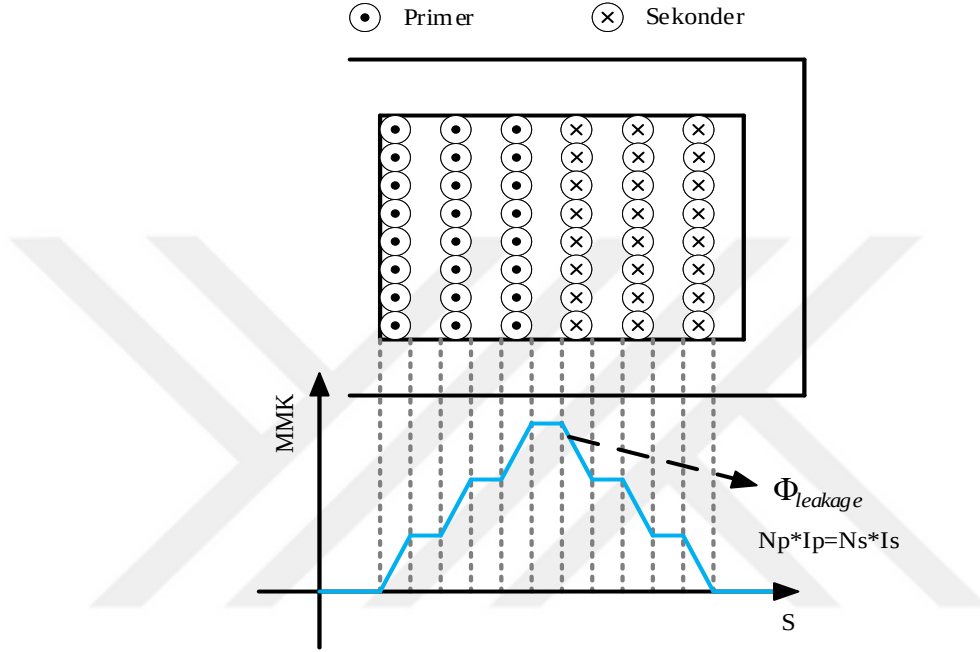
$$l_{gL1} = \frac{4\pi 10^{-7} * 27^2 * 83 * 10^{-6}}{60 * 10^{-6}} = 1.27 \text{ mm} \quad (3.9)$$

$$l_{gL2} = \frac{4\pi 10^{-7} * 210^2 * 52 * 10^{-6}}{3 * 10^{-3}} = 0.96 \text{ mm} \quad (3.10)$$

3.1.1.2. İzoleli Cuk Kuplajlı Bobinin Tasarımı ve Üretimi

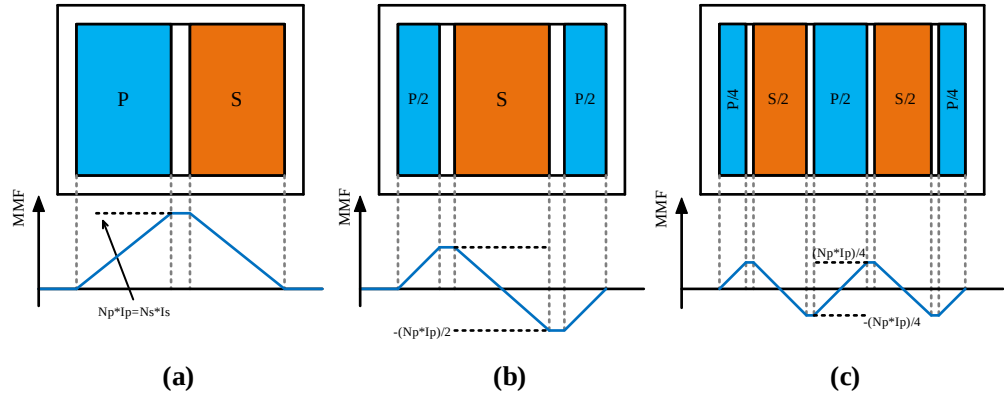
CKİ'nin mevcut topolojideki kullanım şekli ya da diğer bir adıyla yüksek frekans trafoları (YFT) galvanik izolasyon için kullanılan ve çeviricinin en önemli ve kritik unsuru olarak tanımlanabilecek manyetik malzemelerdir. YFT tasarımı ve üretimi sürecinde dikkat edilmesi gereken bazı önemli hususlar bulunmaktadır. Bunlardan ilki trafonun primer ve sekonder sızıntı indüktanslarının mümkün olduğunca azaltılması gereksinimdir. Sızıntı indüktanslarının oluşmasının temel nedeni Şekil 3.3 (b)'de görüldüğü gibi hava aralığı ve nüve parçalarının birleşme noktalarında oluşan kaçak manyetik akıların bobin sargılarında yeniden indüklenmesidir. Sızıntı indüktansları, trafo için kullanılan nüvenin etkin alanı A_e ve primer sarım sayısı n_p ile doğru orantılı iken nüvenin etkin uzunluğu l_e ile ters orantılı olarak değişmektedir. Sızıntı indüktansları arttıkça sargılarda oluşan gerilim düşümleri ve dolayısıyla kayıplar da artmaktadır. Öte yandan anahtarlama esnasında oluşan ani akım değişimleri nedeniyle trafonun anahtar üzerinde sebep olduğu indüktif sıçrama ve stresler ciddi tasarım sorunlarına yol açmaktadır.

Yüksek frekans trafosunun tasarımında dikkate alınması gereken bir diğer önemli tasarım hususu ise nüvenin pencere alanında meydana gelen ve primerde oluşan manyeto motor kuvveti (MMK) sekonder sargısına aktarmamıza yardımcı olan manyetik sızıntı akılarıdır. Konvansiyonel sarım yöntemi ile sarılmış bir trafonun sargıları boyunca oluşan MMK ve sızıntı akısı Şekil 3.4’de gösterilmiştir.



Şekil 0.4. Trafonun sargıları boyunca oluşan MMK ve nüve penceresinde oluşan sızıntı akısı

Şekil 3.4’de görüldüğü gibi sargı akımı ve sargı sayısı ile doğru orantılı olan manyetik sızıntı akısı aynı zamanda trafonun sızıntı indüktansında indüksiyon oluşmasına ve istenmeyen gerilim düşümleri ile indüktif sıçramaların artmasına yol açar. Trafonun sızıntı indüktans değeri nüve ve gerekli sarım sayısına bağlı olduğu için doğrudan düşürülemez ancak bu kaçak indüktansın daha düşük genlikteki bir pencere sızıntı akısı ile şarj olması sağlanabilir. Şekil 3.5 (b) ve (c)’de farklı trafo sarım yöntemleri ile MMK’in alternans ettirilerek sızıntı manyetik akısının genliğinin düşürülmesi yöntemi gösterilmiştir. Aynı hacimde ve aynı sayıda sargıları eşit parçalara bölerek alternans ettirilen MMK, Şekil 3.5 (a)’daki klasik sarım yöntemine kıyasla hem aynı gücün sekondere aktarılmasını sağlarken hem de oluşan sızıntı manyetik akısının genliğini düşürerek sızıntı indüktansının etkinliğini azaltmaktadır. Bu nedenle Tez kapsamında üretilen trafonun sarım metodu Şekil 3.5 (c)’deki gibi yapılmıştır.



Şekil 0.5. Farklı trafo sarım yöntemleri ile sızıntı akısının genliğinin düşürülmesi, a-) klasik trafo sarım yöntemi, b-) sekonderin primer sargısının iki eşit yarısının arasına sarıldığı yöntem ve c-) iki eşit parçaya ayrılmış sekonder sargılarının primer sargıları arasına sarılması

CKİ'nin tasarımındaki bir diğer önemli husus ise mıknatıslanma yani manyetizasyon indüktansının (L_m) teorik hesaplamalardaki gibi fiziksel tasarımda karşılanması gereksinimidir. L_m doğrudan sargılardaki elektrik akımına (I) karşı gösterilen indüktans değil, nüvede akan manyetik akıyı (Φ) etkileyen bir indüktanstır. İzoleli cuk CKİ'ye seri bağlanan enerji kapasitörleri nedeniyle bir anahtarlama periyodu boyunca nüvede indüklenen manyetik akının tamamının sekondere aktarılabilmesi için sistemdeki pasif bileşenlerden en az birinin sınır iletim modunda (SrİM) çalışması gerekmektedir. Genellikle yüksek gerilim ve düşük akım için tasarlanacak olan izoleli cuk çeviricilerde orta giriş ve orta çıkış enerji kapasitörleri (C_1 ve C_2) sınır iletim modunda çalıştırılırken, yüksek akım ve düşük gerilim için tasarlanan izoleli cuk çeviricilerde giriş ya da çıkış indüktörlerinin kesikli iletim modunda çalıştırılması gerekmektedir [93]. Tüm pasif bileşenler SİM'de çalıştırıldığında çeviricinin dönüştürme oranı ve verimi ciddi şekilde düşmektedir. Enerji kapasitörlerinin SrİM'de çalıştırılması durumunda anahtar akımında oluşan ciddi dengesizlikler çevirici güvenliğini riske atacağı için tercih edilmezler. Tez kapsamında ileri sürülen izoleli cuk çeviricinin hem yüksek akım kapasitesi nedeniyle hem de yüksek güç kalitesi gereksinimi nedeniyle tüm bu pasif bileşenlerinin SİM'de çalışmasına ihtiyaç duyar. Bu nedenle eldeki diğer bir seçenek olan trafonun manyetizasyon indüktansı SrİM'de çalıştırılarak çeviricinin rezonant sisteminin doyuma gitmesi engellenir [84].

Çeviricinin trafosunda gerçekleşmesine izin verilen maksimum manyetik akı değişim miktarı, SrİM'in garanti edilebilmesi için ($\Delta\Phi_{Lm}$) %100 olarak belirlenmiştir. Bölüm 2'de bu hassasiyet gözetilerek yapılan hesaplarda SrİM için gerekli olan indüktans değeri 24 μH olarak hesaplanmıştır. CKİ'nin üretimi için kullanılacak olan ETD3411-N97 nüvesine ait parametreler Çizelge 3.3'te verilmiştir. Hesaplamaları teyit etmek amacıyla yapılan ve nüvenin taşıyabileceği güç miktarının hesaplandığı formül Denklem 3.11'de verilmiştir. Denklemden yer alan ve trafo sarımı için belirlenen sargılardaki akım yoğunluğu (J) 6 A/mm² olarak alınmıştır ve trafonun maksimum taşıma gücü 586 W olarak hesaplanmıştır. Bu değer maksimum çalışma gücü 500 W olacak çevirici için oldukça yeterli bir güç değeridir.

Çizelge 0.3. ETD3411-N97 Epcos TDK Electronics Ferrit Nüve Parametreleri

A_e	97 mm ²	ΔB_{max}	175 mT
A_w	122 mm ²	V_e	7630 mm ³
μ_r	2300 H/m	l_e	78.6 mm

$$P_{taşıma} = \frac{A_{ecm2} A_{wcm2} k 2 B_{gauss} f_s}{J_{cm3}}; k: 0.0008 < k < 0.0014 \quad (3.11)$$

$$P_{taşıma} = \frac{0.97 * 1.22 * 0.0010 * 2 * 1750 * 85000}{600} = 586 \text{ W} \quad (3.12)$$

PSIM simülasyonları ile nominal çalışma koşullarında CKİ'nin primerinde oluşan maksimum akım değeri 20 A olarak bulunmuştur. CKİ'nin primer sarım sayısı Denklem 3.13'de 12 tur olarak bulunmuştur. CKİ'nin dönüştürme oranı daha önce 8 olarak belirlenmiş olduğundan sekonder sarım sayısı da 96 olarak hesaplanmıştır. Trafonun sarım sekansı ise Şekil 3.5 (c)'deki durumu sağlamak için 3p-48s-6p-48s-3p olarak belirlenmiştir. Hesaplanan L_m değerini sağlamak için ise gereken hava boşluğu miktarı Denklem 3.15 kullanılarak 0.73 mm olarak bulunmuştur.

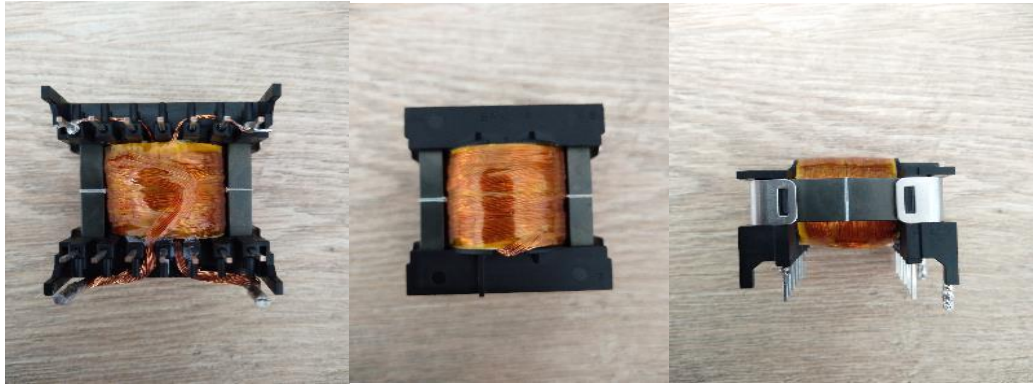
$$N_{primer} = \frac{L_m I_{peak}}{A_e 2 B_{max}} \quad (3.13)$$

$$N_p = \frac{24 * 10^{-6} * 20}{97 * 10^{-6} * 2 * 0.175} \cong 12 \text{ tur} \quad (3.14)$$

$$l_g = \frac{4\pi 10^{-7} * 12^2 * 97 * 10^{-6}}{24 * 10^{-6}} = 0.73 \text{ mm} \quad (3.15)$$

$$R_{wlitz} = \frac{72}{\sqrt{f_s}} = \frac{72}{\sqrt{85000}} = 0.2629 \text{ mm} \quad (3.16)$$

CKİ bir anahtarlama periyodu boyunca çift yönlü olarak çalıştığı için primerdeki akım değişimi çok yüksektir. Bu nedenle iletkende meydana gelebilecek deri etkisinin ortadan kaldırılması için litz teli kullanılması gerekmektedir. Trafonun çalışma frekansına deri etkisini azaltmak için kullanılması gereken maksimum iletken çapı Denklem 3.16'daki gibi hesaplanmıştır ve 0.25 mm iletken kullanılmasına karar verilmiştir. Litz telinin oluşturulması için gerekli olan bir diğer bilgi ise primer RMS akım değeridir. Bu değer PSIM simülasyonları kullanılarak nominal koşullar için 13 A olarak bulunmuştur. Akım yoğunluğunun 6 A/mm² olarak alındığı durumda primer için gereken iletken kesit alanı 2.16 mm² olmalıdır. Deri etkisi nedeniyle kullanılacak olan 0.25 mm iletkenin kesit alanı ise 0.04908 mm²'dir. Bu noktadan hesapla primer sargısının hazırlanması için 44 adet 0.25 mm emaye bakır tel kullanılması gerektiği hesaplanmıştır. Yapılan hesaplamalar doğrultusunda üretilen CKİ'nin görüntüsü Şekil 3.6'da verilmiştir.



Şekil 0.6. ETD3411-N97 nüvesine sarılan Cuk kuplajlı indüktörü

3.1.2. Evirici Manyetik Malzemelerinin Tasarımı ve Üretimi

Eviricide kullanılacak olan diferansiyel filtre bobininin (L_f) değeri Bölüm 2'de 3 mH olarak hesaplanmıştır. L_f 'nin üretimi için EE3209-N87 nüvesi seçilmiştir. Bobin için

gereken sarım sayısı Denklem 3.17 kullanılarak 290 tur olarak bulunmuş olup gerekli hava aralığı ise Denklem 3.18 ile 2.92 mm olarak hesaplanmıştır.

$$N_{primer} = \frac{L_f \frac{\sqrt{2}P_{çıkış}}{V_{şebeke}}}{A_e B_{max}} = \frac{3 * 10^{-3} * 3.21}{83 * 10^{-6} * 0.2} = 290 \quad (3.17)$$

$$l_g = \frac{4\pi 10^{-7} * 290^2 * 83 * 10^{-6}}{3 * 10^{-3}} = 2.92 \text{ mm} \quad (3.18)$$

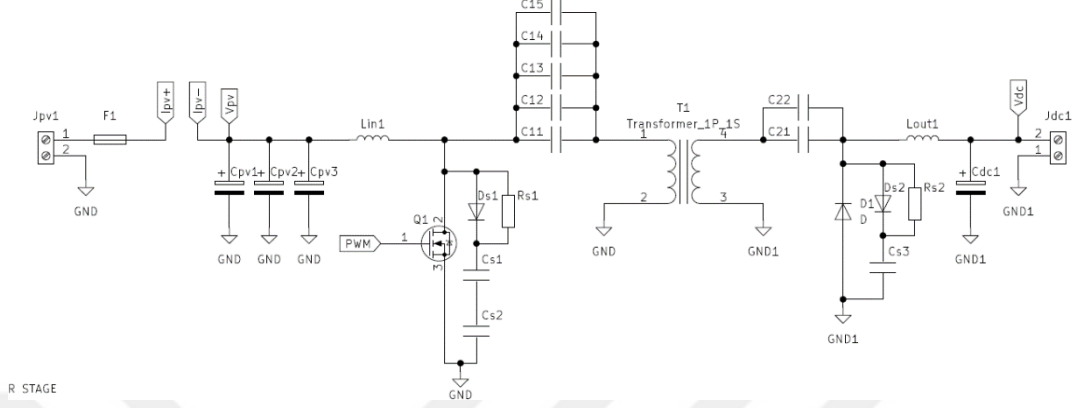
3.2. PROTOTİPİN OLUŞTURULMASI

Bu kısımda çevirici ve evirici ünitelerinin güç ve kontrol katlarının tasarımları ele alınmıştır. Öncelikle güç birimlerinin devre şemalarının tasarlanması ve ardından baskı devre tasarımında yolların akım taşıma kapasitesi hesapları, yollar arası mesafenin belirlenmesi ve sonrasında bu birimlerde kullanılan akım-gerilim ölçme yöntemleri ele alınmıştır. Baskı devre tasarımı esnasında güç katı için akım taşıyacak olan hatların genişliğinin hesaplanmasında [94]'da bulunan online hesaplayıcı, ve yüksek gerilim ile çalışan bölgelerdeki elektriksel izolasyonun korunması için gereken yollar arası minimum mesafenin hesaplanmasında ise [95]'da bulunan online hesaplayıcı kullanılmıştır. Baskı devre çizimi KiCad 7 programı ile gerçekleştirilmiştir.

3.2.1. İzoleli Cuk Çeviricinin Prototiplemesi

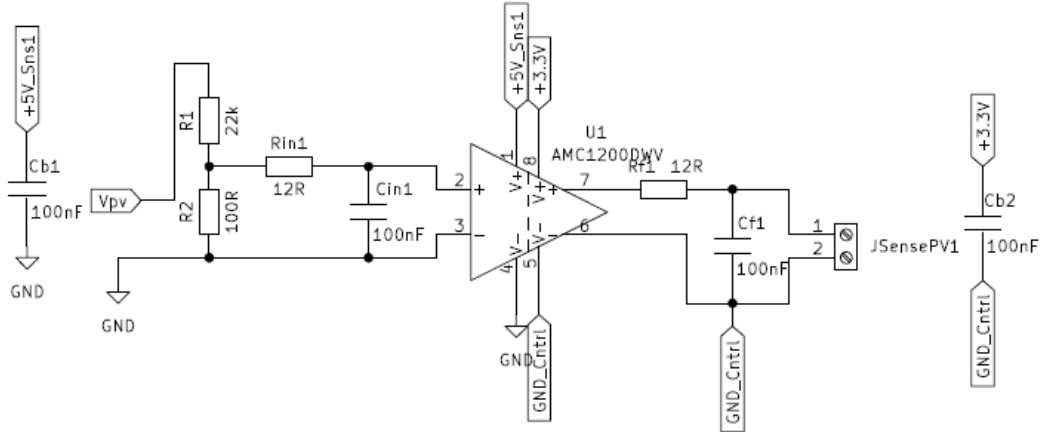
İzoleli cuk çeviricinin güç katına ait devre şeması Şekil 3.7'de verilmiştir. Panel akım ve geriliminin ölçüleceği noktalar sırasıyla I_{pv+}/I_{pv-} ve V_{pv} olarak işaretlenmiştir. DA bara gerilimin ölçüleceği nokta ise Vdc etiketi ile işaretlenmiştir. Devre şemasında görüldüğü üzere hesaplanan C_1 kondansatörü 5 adet 1206 kılıf SMD kapasitörün paralel şekilde kullanılması ile elde edilmiştir. Bu şekilde kondansatörün ESR değerinin düşürülmesi ve akım taşıma kabiliyetinin artırılması hedeflenmiştir. Benzer bir uygulama C_2 kondansatörü için de yapılmış ve iki adet 15 mm film kondansatör kullanılarak devre şeması çizilmiştir. Ek olarak diyot ve MOSFET'e birer adet RCD

sönümlenme devresi bağlanarak parazitik indüktansların anahtarlar üzerinde oluşturacağı gerilim streslerinin önüne geçilmesi amaçlanmıştır.

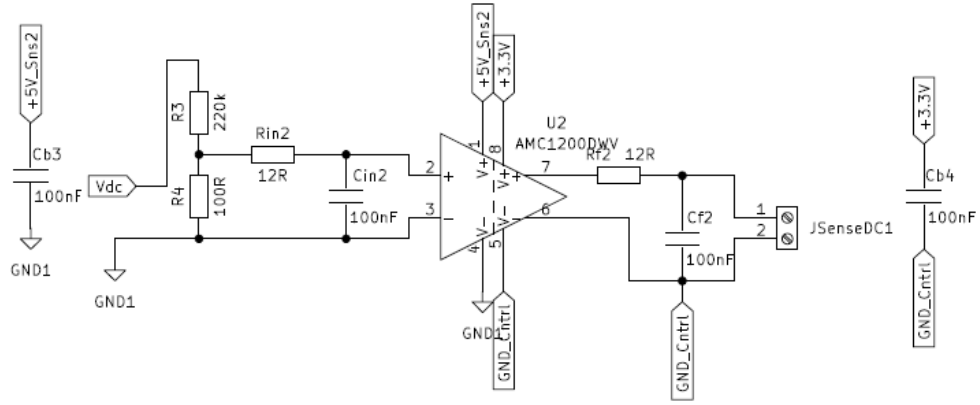


Şekil 0.7. İzoleli cuk çevirici güç katı devre şeması

Panel ve DA bara geriliminin ölçülmesi için literatürde yaygın olarak kullanılan izoleli op-amp'lar ile gerilim ölçümü devreleri sırasıyla Şekil 3.8 ve 3.9'daki gibi tasarlanmıştır. Texas Instruments'ın AMC1200 serisi 60 kHz bant genişliğine ve 5 kV izolasyon gerilimine sahip olan kapasitif izolasyonlu op-amp'ları tercih edilmiştir.

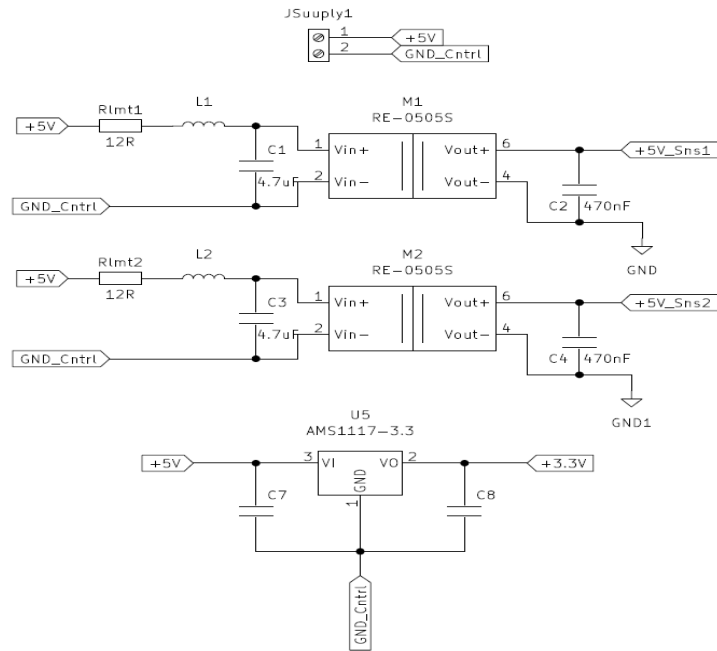


Şekil 0.8. İzoleli panel gerilimi ölçme devre şeması



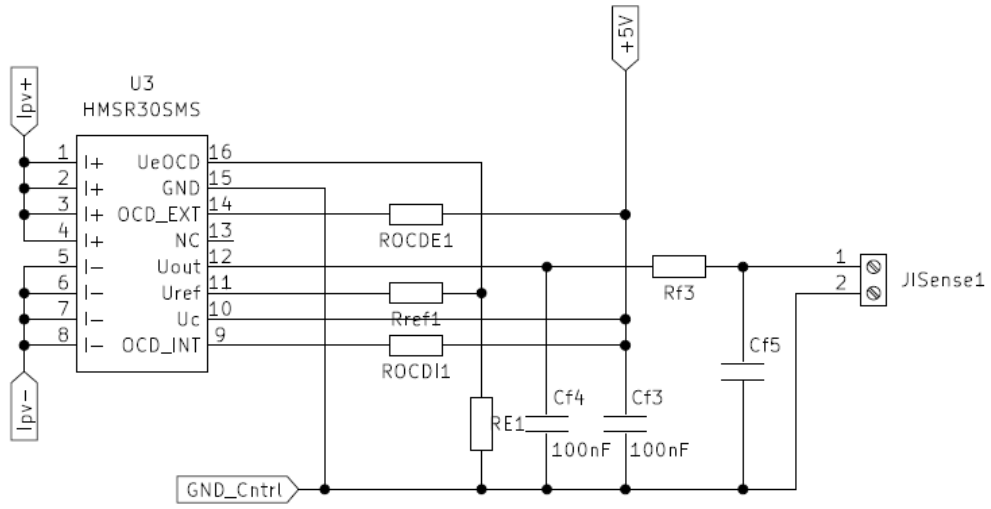
Şekil 0.9. İzoleli DA bara gerilimi ölçme devre şeması

AMC1200 izoleli op-amp iç yapısında bir adet delta-sigma modülatörü barındırmaktadır. Güç katında yakalanan sinyal delta modülatörü ile öncelikle analog formdan dijital forma dönüştürülür, sonra ise kapasitif izolasyon bariyeri üzerinden dijital olarak sigma modülatörüne aktarılır. Sigma modülatöründe tekrar analog sinyale dönüşen sinyalin bir RC filtre ile çevrim kaynaklı harmoniklerden arınması sağlanır. Ayrıca güç sinyalinin ölçüldüğü katın da +5V beslemeye ihtiyacı vardır. Bu nedenle AMC1200'lerin besleme ihtiyacını karşılamak için RE-0505S lokal izoleli gerilim regülatörleri kullanılmıştır. Yardımcı güç beslemesi için geliştirilen ünitenin devre şeması Şekil 3.10'da verilmiştir.



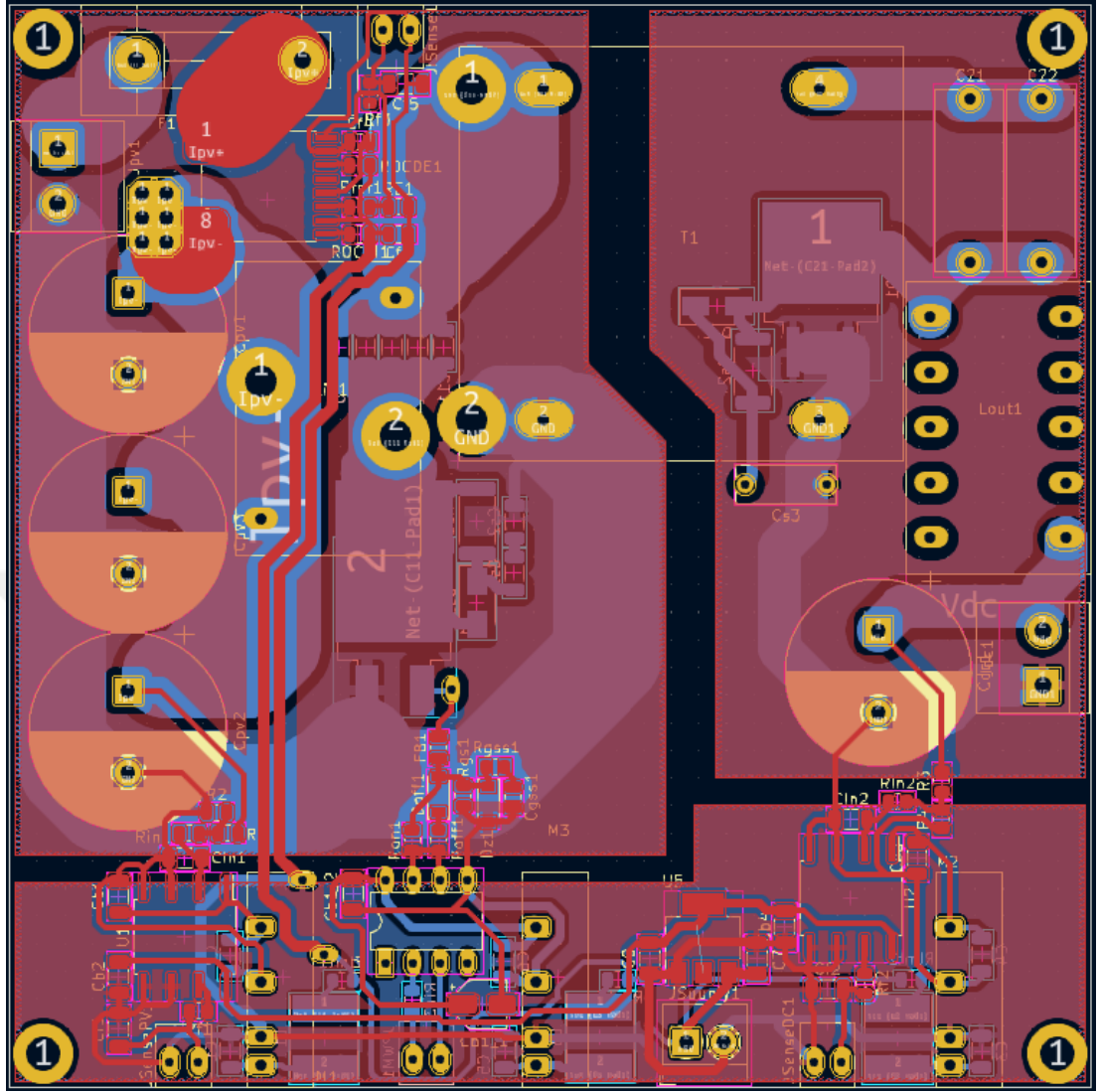
Şekil 0.10. İzoleli Cuk çevirici kontrol ve ölçüm katı izoleli besleme gerilim regülatörleri devre şeması

Panel akımının ölçülmesi için ise LEM firmasının HMSR 30 SMS modeli 30 A akım ölçme kapasiteli 300 kHz bant genişliğinde çalışan hall etkili akım sensörleri kullanılmıştır. Sensörün devre şeması şekil 3.11’de verilmiştir. Yapılan ölçümün ardından sensör entegresinden elde edilen ölçüm sinyalinin filtrelenmesi için bir RC filtre kullanılmıştır. Bu sinyal 1.26 V değerinde bir DC gerilimin üzerinde taşındığı için mikrodenetleyiciden yapılan ölçüm okunurken bu gerilim değerinin dijital karşılığının işlenecek olan sinyalden çıkarılması gerekmektedir.

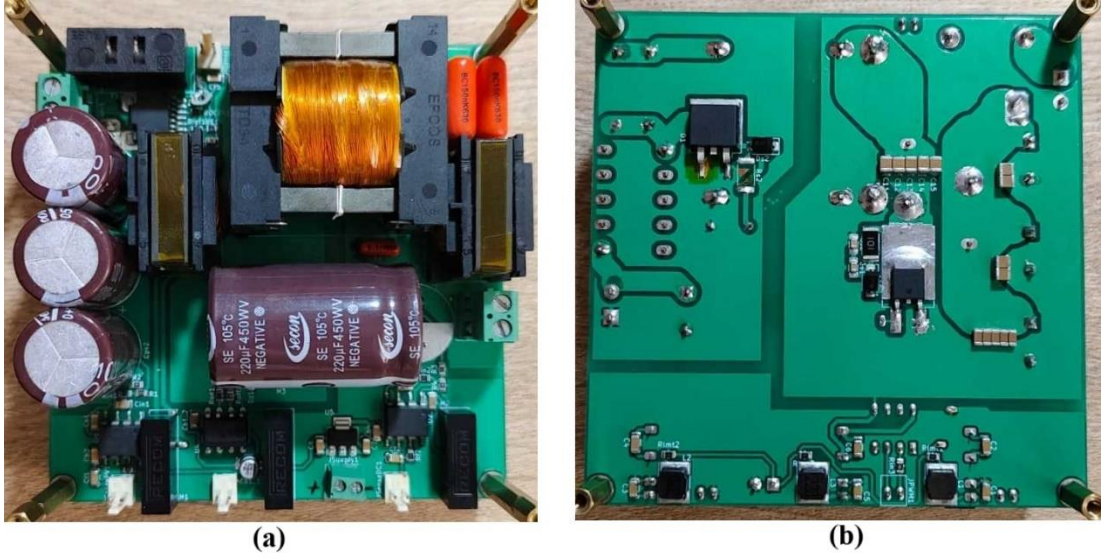


Şekil 0.11. Hall sensörlü izoleli panel akımı ölçüm devre şeması

İzoleli cuk çeviricinin MOSFET’inin sürülmesi için HCPL-3120 entegresi kullanılarak opto-izoleli bir sürücü devresi tasarlanmıştır. Entegre PWM sinyal girişi ve sürücü devresi olmak üzere iki kısımdan oluşurken bu iki kısım birbirinden 3.5 kV’luk bir izolasyon bariyeri ile ayrılmıştır. Sürücü tarafın kontrol katından bağımsız beslenebilmesi için yine RE-0505S lokal izoleli gerilim regülatörü kullanılmıştır. MOSFET 10 Ω ’luk direnç üzerinden daha yavaş iletme geçirilmiş ve bir Schottky diyot yardımı ile 1 Ω ’luk direnç üzerinden hızlı bir şekilde kesime götürülmüştür. Anahtarlama esnasında oluşan gate osilasyonlarını azaltmak adına ferrite bead kullanılmıştır. Sürücüye ait devre şeması Şekil 3.12’de verilmiştir.



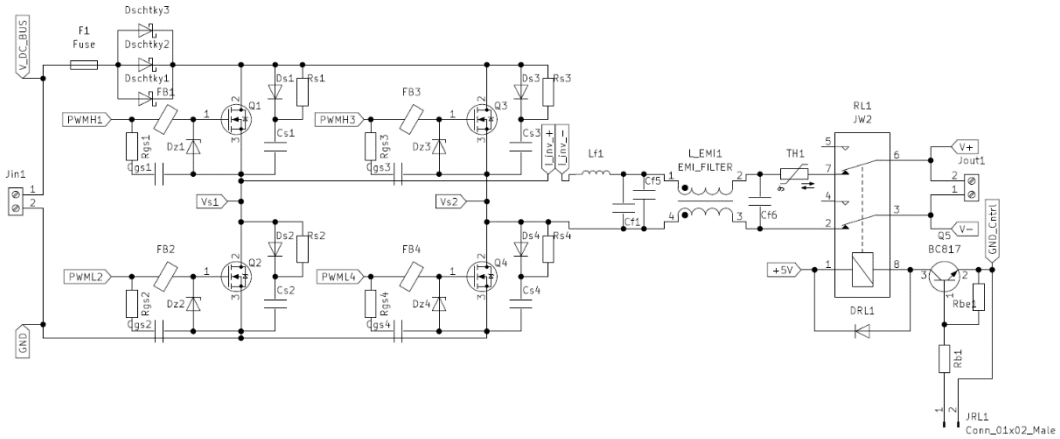
Şekil 0.13. İzoleli Cuk çevrici baskı devresi



Şekil 0.14. İzoleli cuk çevirici prototiplenmiş baskı devresi (a) baskı devre üst tarafı ve (b) baskı devre alt tarafı

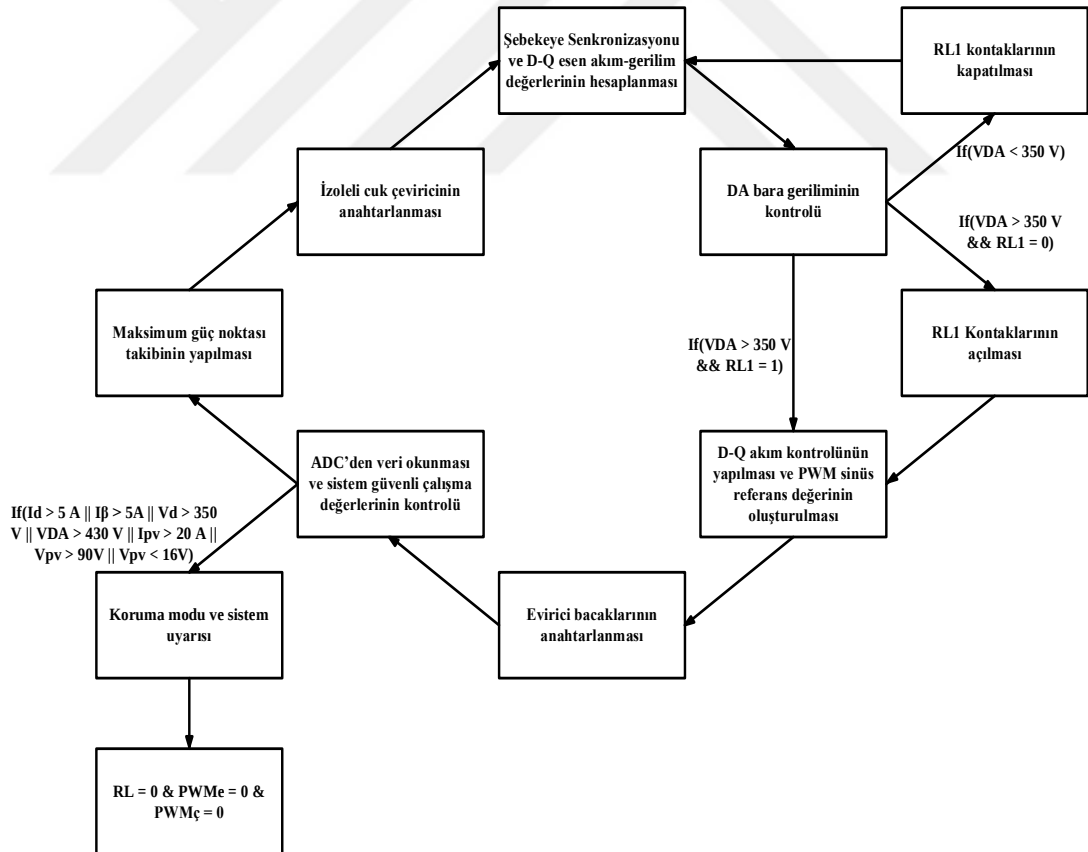
3.2.2. Tam Köprü Eviricinin Prototiplemesi

Tam köprü eviricinin güç katına ilişkin devre şeması Şekil 3.15’de verilmiştir. İzoleli Cuk çeviricinin çıkışına bağlanacak olan evirici girişindeki Jin1 terminalinden sonra bir sigorta ve birbirine paralel bağlı üç adet 1N4007 diyot ile hem aşırı akımlara karşı koruma sağlanırken, olağan dışı durumlar karşısında şebekeden ters yönde bir akım akmasının önüne geçilmiştir. Diyotların konulmasının temel amacı deneysel prototipin güvenceye alınmasıdır. Öte yandan evirici çıkışı şebekeye ya da yüke RL1 rölesi üzerinden bağlanmıştır.

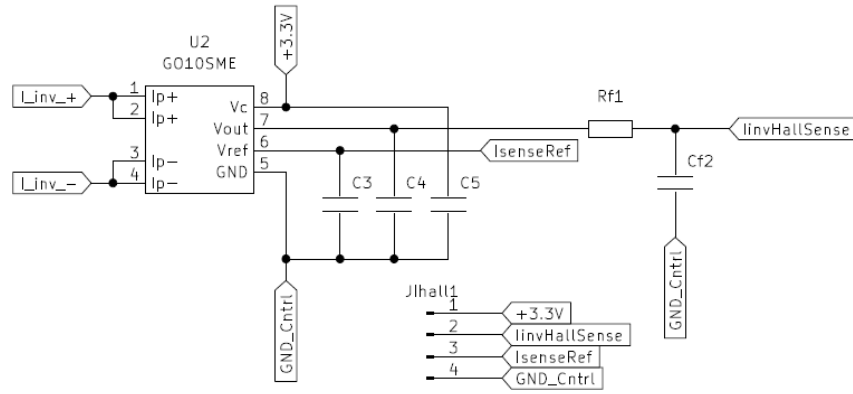


Şekil 0.15. Tam köprü evirici güç katı devre şeması

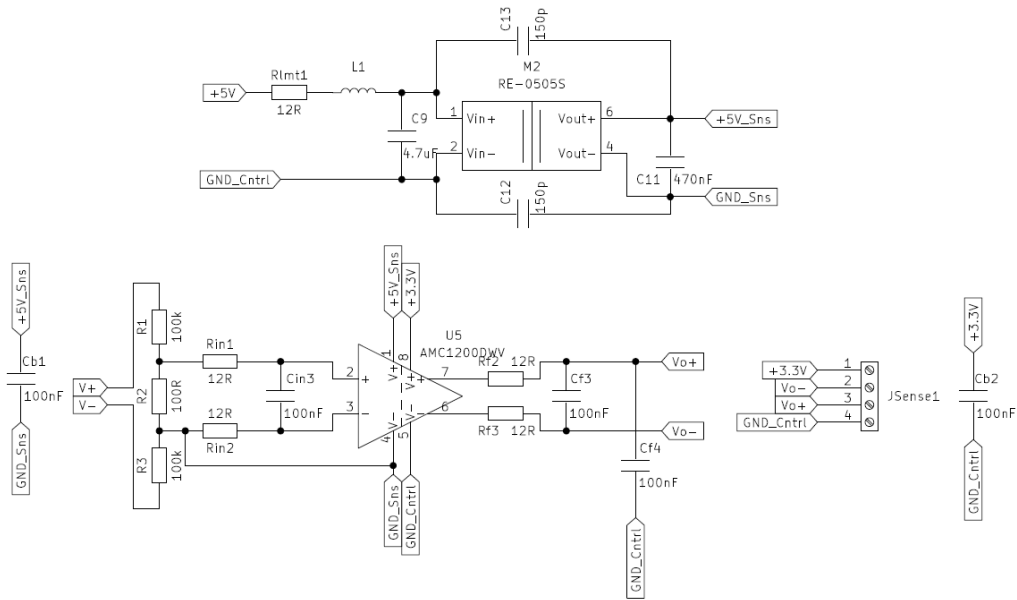
RL1 kontaktörünü kontrol eden mikrodenetleyicinin DA bara gerilimi 350V'un üzerinde iken evirici çıkışını şebekeye bağlaması sağlayacak şekilde kontrol algoritması oluşturulmuştur. Bu sayede şebeke geriliminin genlik değerinden daha düşük bir DA bara gerilim seviyesinde evirici-şebeke bağlantısının önüne geçilerek olumsuzlukların önüne geçilir. Ek güvenlik önlemleri ise mikrodenetleyici içinde şebeke akım ve geriliminin anlık olarak denetlenmesi ile elde edilmiştir. Akım ve gerilimde oluşabilecek olağan dışı durumlar anlık olarak takip edilerek RL1 kontaktörünün aksiyon alması sağlanmıştır. Tasarlanan gerçek zamanlı güvenlik kontrol algoritmasının akış diyagramı Şekil 3.16'da verilmiştir. Ayrıca mikro evirici sistem kontrolü için yazılan ve STM mikro denetleyiciye gömülen C kodunun ilgili kısımları EK-1'de verilmiştir. Akım ve gerilim ölçümü için ise sırasıyla Şekil 3.17 ve 3.18'deki gibi LEM firmasının GO10SME akım transdüseri ile AMC1200 izoleli op-amp temelli tam diferansiyel gerilim sensörü kullanılmıştır.



Şekil 0.16. Mikro evirici için tasarlanan aşırı ve düşük akım gerilim koruma algoritması akış şeması



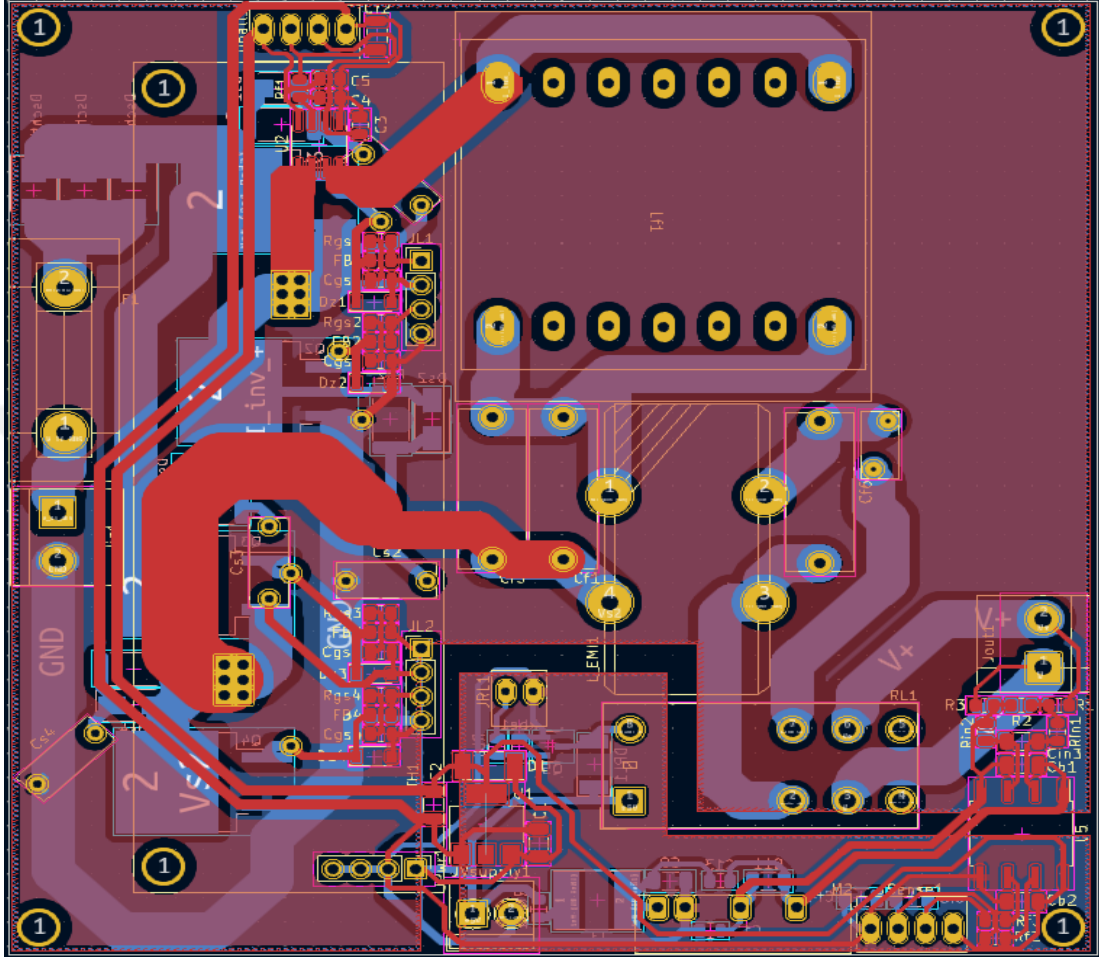
Şekil 0.17. Hall sensörlü izoleli evirici çıkış akımı ölçüm devre şeması



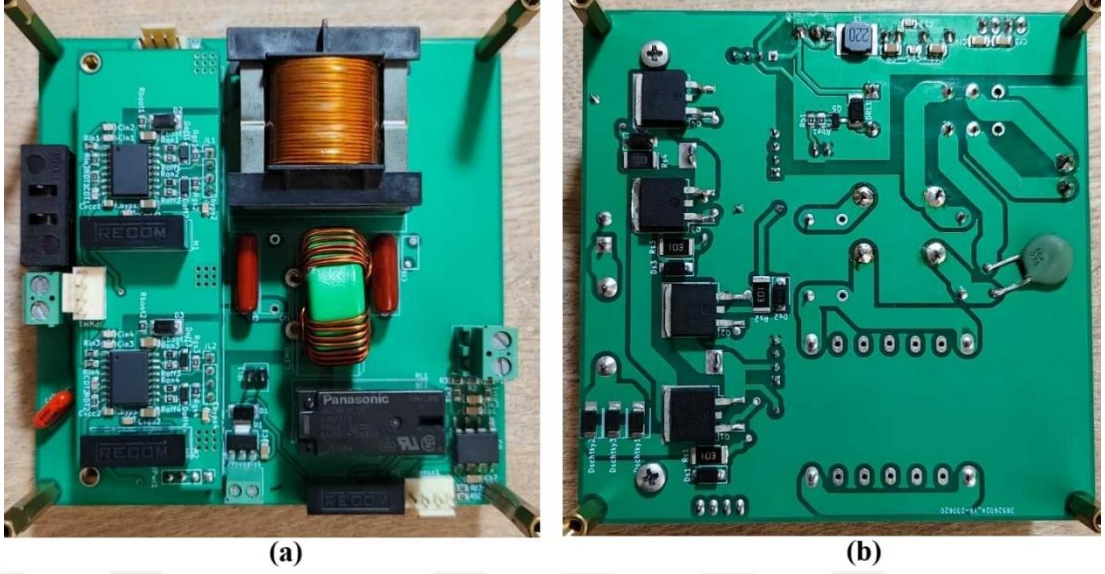
Şekil 0.18. İzoleli tam diferansiyel şebeke gerilimi ölçüm devre şeması

Tasarım sonucunda oluşturulan çift taraflı baskı devre kartına ilişkin görsel Şekil 3.19’da verilmiştir. Tasarımda güç katı ve kontrol katı topraklaması olmak üzere iki ayrı bölge oluşturulmuştur. Güç katındaki topraklama alanı sadece DA bara gerilimin referans noktasına göre yapılmış ve kontrol katı hariç tüm baskı devre yüzeyini kaplaması sağlanmıştır. Baskı devre üretiminin ardından oluşturulan prototipin görseli Şekil 3.20’de verilmiştir. Tasarımda çeviriciye benzer şekilde yarı iletken malzemelerin baskı devrenin alt kısmına gelmesi sağlanmıştır. Ancak MOSFET

sürücülerini kartın üzerinde lehimli olacak şekilde değil, modüler olacak şekilde tasarlanmıştır.

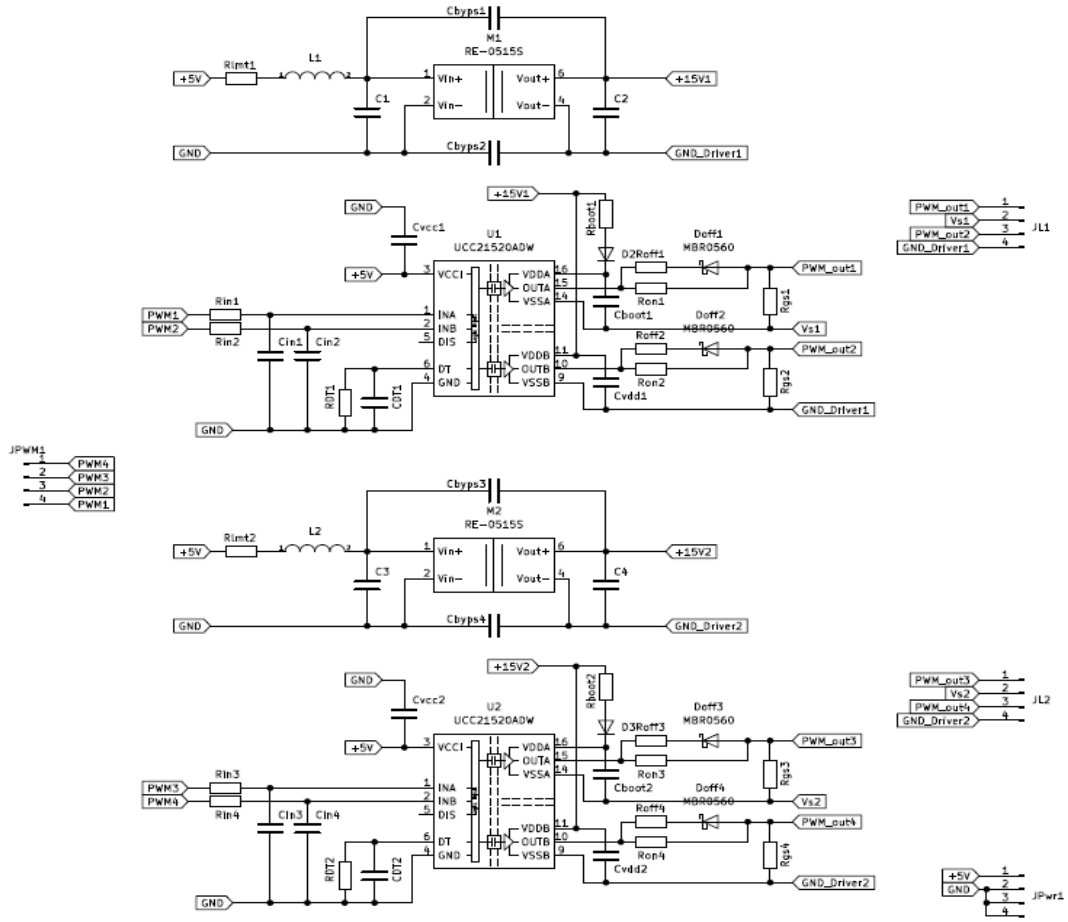


Şekil 0.19. Tam köprü evirici baskı devresi



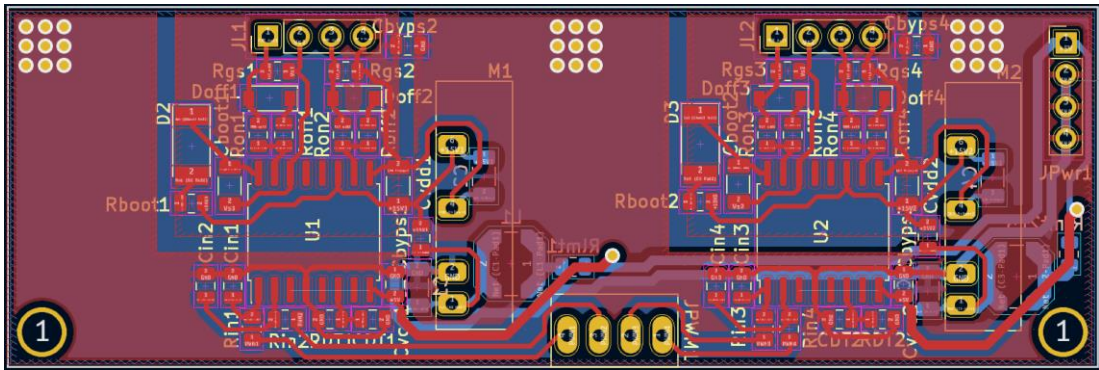
Şekil 0.20. Tam köprü evirici prototiplenmiş baskı devresi (a) baskı devre üst tarafı ve (b) baskı devre alt tarafı

MOSFET sürücü devresi tasarımının tamamındaki kontrol katı-güç katı izolasyonunu sağlayacak şekilde ayrıca tasarlanmıştır. Texas Instruments'in UCC21520 modeli kapasitif izolasyonlu iki kanal kapı sürücü entegresi kullanılarak oluşturulan sürücü kartına ait devre şeması Şekil 3.21'de verilmiştir. Sürücüde iki adet entegre kullanılmış ve her bir entegre eviricinin bir bacağındaki MOSFET çiftini anahtarlayacak şekilde tasarlanmıştır. Bu işlem için bootstrap kapı sürücü topolojisi kullanılmıştır. Bu sayede bir bacaktaki alt ve üst MOSFET'in sürülmesi için tek bir gerilim kaynağı yeterli olmuştur. Öte yandan eviricinin her iki bacağındaki sürücü devresinin beslemesinin birbirinden izole olması gerekmektedir. Bu amaçla iki adet RE-0515S lokal izoleli mini güç kaynağı kullanılmıştır. Bu sayede kontrol katı beslemesinden alınan +5V 3.5kV'luk bir izolasyonla +15V'a çevrilmekte ve sürücü devresinin ihtiyacı olan besleme gerilimini sağlamaktadır.



Şekil 0.21. İzoleli tam köprü bootstrap kapı sürücü devre şeması

Devre şeması çizilen tam köprü kapı sürücü devresinin baskı devre tasarımı Şekil 3.22’de verilmiştir. Evirici MOSFET’lerindeki yüksek gerilimdeki anahtarlamalardan dolayı oluşacak olan elektromanyetik gürültünün en aza indirilmesi için PCB’nin alt yüzeyinin mümkün olduğunca topraklama alanı ile kaplanmasına özen gösterilmiştir.

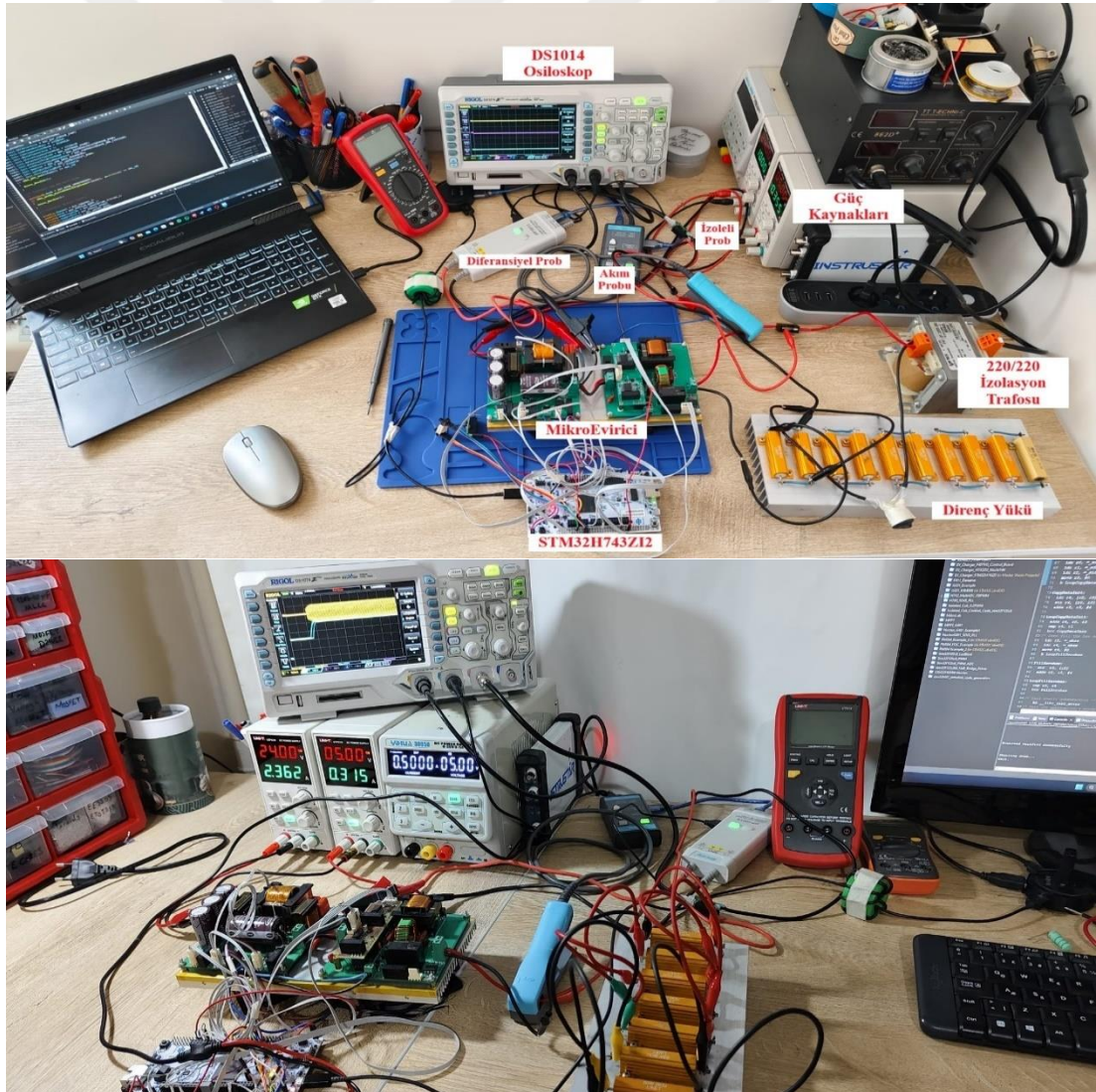


Şekil 0.22. İzoleli tam köprü bootstrap kapı sürücü devre şeması

BÖLÜM 4

DENEY SONUÇLARI

Tasarımı ve prototiplemesi yapılan mikro-eviricinin gerçekleştirilen deneyleri kapsamında elde edilen sonuçlar bu bölüm kapsamında ele alınmıştır. Mikro-evirici Şekil 4.1’de gösterildiği üzere, akım moduna alınmış iki adet Uni-t UTP1310 güç kaynağı tarafından beslenmiş ve öncelikle şebekeden bağımsız direnç yükü üzerinde akım enjeksiyon deneyleri gerçekleştirilmiştir.



Şekil 0.1. Mikro-evirici deney düzeneği

4.1. ÖLÇÜM CİHAZLARI VE ÖLÇÜM DOĞRULUĞU

Deneyler kapsamında kullanılan tüm ölçüm aletleri deney öncesinde test sinyalleri ölçülerek kalibre edilmiştir. Özellikle problemlerin test sinyallerini ve deney sonuçlarını doğru ölçtüğü teyit edildikten sonra veriler kaydedilerek toplanmıştır. Deneyler kapsamında kullanılan ölçüm ve test cihazların listesi Çizelge 4.1’de verilmiştir.

Çizelge 0.1. Deneylerde kullanılan test ve ölçüm cihazları

Osiloskop	Rigol DS1074 100 MHz 1 Gsa/s
Osiloskop/Sinyal Jeneratörü	Instrustar ISDS205B 20 MHz 100 Msa/s
LCR Metre	Uni-t UT612 LCR Metre
Multimetre	Uni-t UT39E+
Diferansiyel Prob	Micsig DP10013 1300V 500x 100 MHz
Akım Probu	Micsig CP2100B 100A 2.5 MHz
Güç Kaynağı	Uni-t UTP1310 32V 10A (x2)

4.2. İZOLELİ CUK ÇEVİRİCİ

Yapılan deneyler kapsamında tez çalışmasının odaklandığı temel hususlardan biri olan DA-DA yükseltici izoleli cuk çeviricinin çalışma dinamikleri incelenmiştir. Bu kapsamda yapılan deneylerin ilkinde izoleli cuk çevirici 50 V giriş gerilimi ve 400 W çıkış gücünde çalıştırılarak bobin, trafo ve yarı-iletken anahtarlar üzerindeki akım-gerilim ifadeleri ölçülmüştür. Şekil 4.2’de İCÇ’ye ait MOSFET akım-gerilim ifadeleri ölçülerek verilmiştir. Alınan ölçümlerde V_{ds} geriliminin indüktif sıçramalar ile birlikte 110 V tepe değerine ulaştığı gözlemlenirken I_{ds} akımının 22 A değerine kadar çıktığı gözlemlenmiştir. Trafonun sarım tekniğinin sızıntı indüktansı kaynaklı MOSFET üzerinde oluşabilecek gerilim stresini başarıyla azalttığı gözlemlenmiştir. Şekil 4.2’de de betimlendiği üzere yarıiletken üzerinde yaşanan kayıplar anahtar kesime giderken oluşan kayıplardır. Anahtar ilettime geçerken CKİ’nin sızıntı indüktansının ve C_1 kondansatörünün oluşturduğu rezonant etki nedeniyle yumuşak anahtarlama yaptığı gözlemlenmiştir.

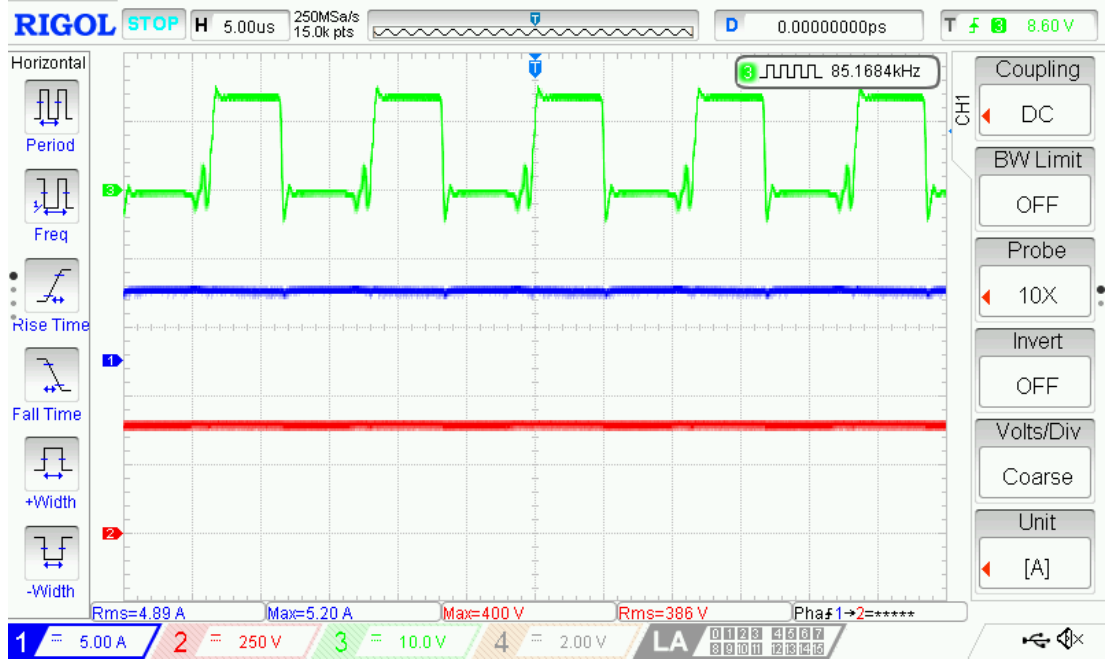


Şekil 0.2. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), MOSFET akım ifadesi (Kanal: 1 Mavi) ve MOSFET d-s gerilimi (Kanal: 2 Kırmızı) osiloskop ölçümleri

İCÇ'nin sekonder tarafında diyot üzerinde oluşan gerilim stresinin gözlemlenmesi için yapılan deney sonuçlarına ilişkin grafik Şekil 4.3'de verilmiştir. Diyot üzerinde 800 V gerilim stresi olduğu gözlemlenirken parazitik indüktanslar kaynaklı gerilim streslerinin kayda değer bir varlık göstermediği görülmüştür. Şekil 4.4'de verilen ölçüm sonuçlarında ise çevirici giriş akımı ve çıkış gerilimi ölçümleri alınmıştır. Çıkış gerilimi ve giriş akımındaki dalgalanmalar çeviricinin kararlı yapısı sayesinde ihmal edilebilecek seviyeye kadar düşürmüştür. Ölçüm sonuçlarında da giriş akımı ve çıkış geriliminin oldukça kararlı ve düşük dalgalanmalı olduğu gözlemlenmiştir.

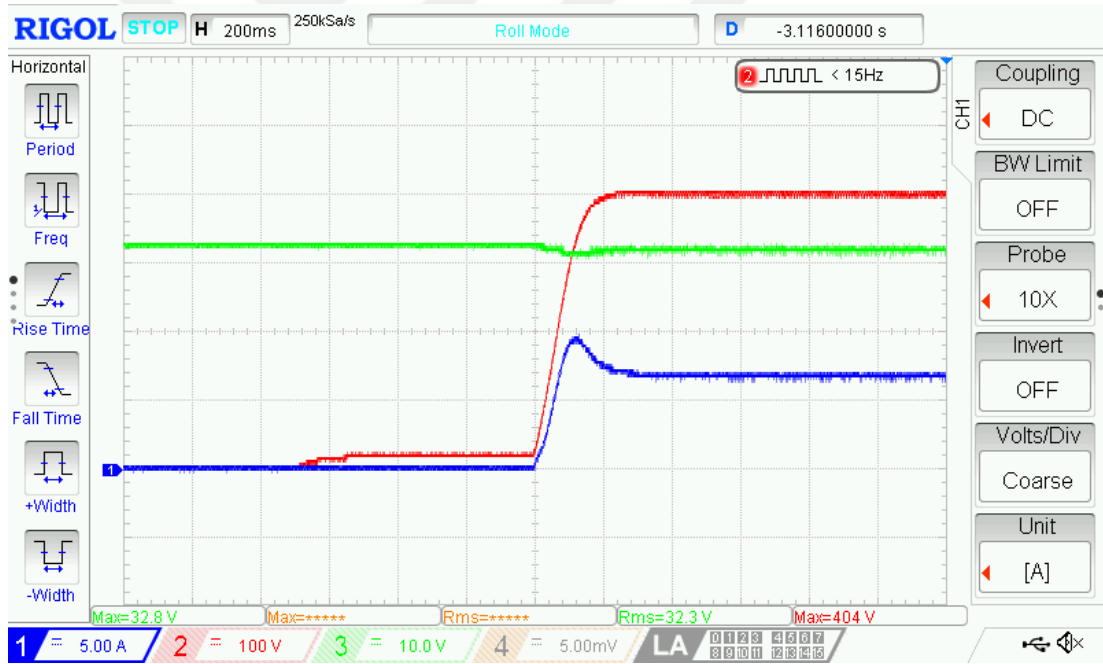


Şekil 0.3. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), çıkış bobini akımı (Kanal:1 Mavi) ve diyot gerilimi (Kanal:2 Kırmızı) osiloskop görüntüsü

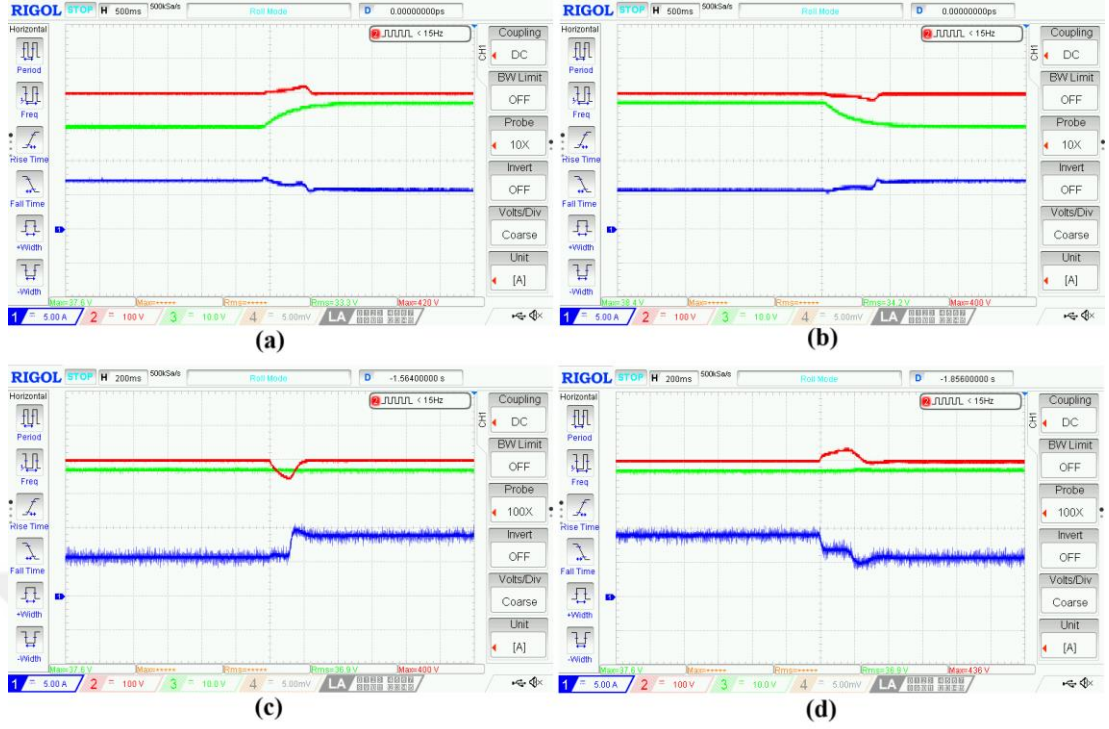


Şekil 0.4. İzoleli cuk çeviriciye ait görev döngüsü sinyali (Kanal: 3 Yeşil), giriş akımı (Kanal: 1 Mavi) ve çıkış gerilimi (Kanal: 2 Kırmızı) osiloskop görüntüsü

İzoleli cuk çeviricinin DA bara gerilimi kontrolü ile ilgili yapılan deneylerde ise Şekil 4.5’ de görüldüğü üzere çıkışta direnç yükü bağlı iken 32 V giriş geriliminde %50 yükte start verme işleminde çevirici giriş akımı ve çıkış geriliminin nasıl değiştiği gözlemlenmiştir. 0.8 saniyelik soft-start prosedüründen sonra referans gerilimi takip eden kontrolör ile çevirici DA bara gerilimini 0.2 sn’de 400 V’a çıkarmıştır. Öte yandan kaynak gerilimindeki ve yükteki ani değişimlere karşı çeviricinin kontrol performansını gösteren deney sonuçları Şekil 4.6’da toplu şekilde verilmiştir. BU deneyler kapsamında giriş gerilimi 30V ve 38 V arasında değiştirilerek DA bara geriliminin nasıl etkilendiği gözlemlenmiştir. Ek olarak çevirici yüklenmesinin ani olarak %45’den %75 çıkarılması ve tam tersi durumda çıkış gerilimindeki değişimler ölçülerek kaydedilmiştir. Tüm deneylerde kontrolör tasarlandığı gibi yaklaşık olarak 0.2 sn’de çalışma koşullarındaki değişimleri kompanze etmiştir.



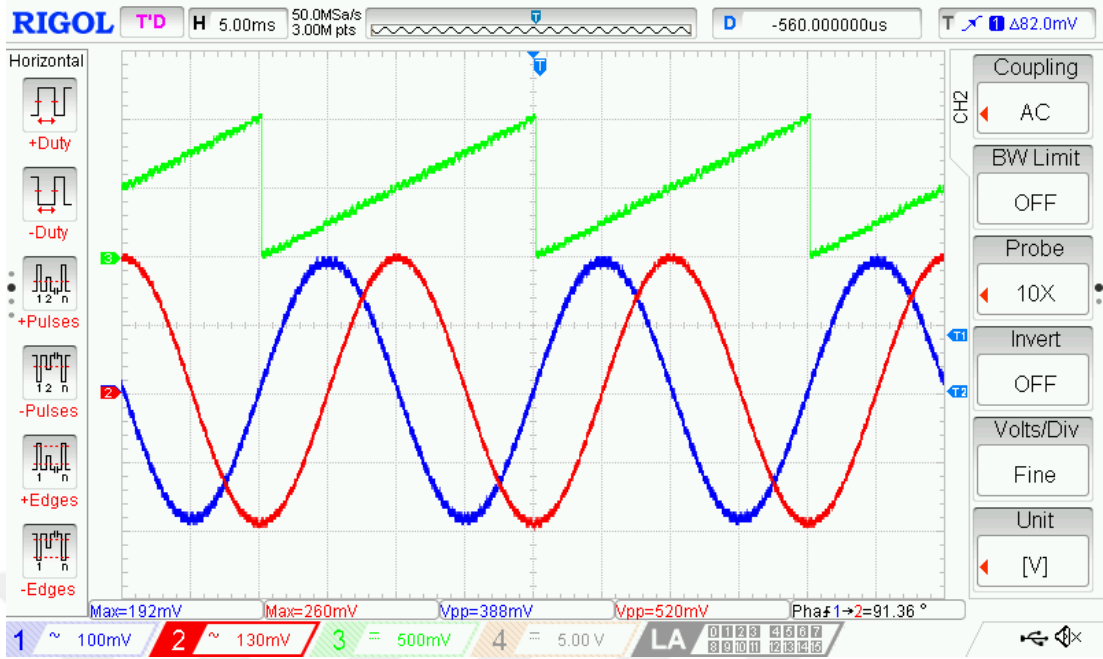
Şekil 0.5. İzoleli cuk çeviriciye ait DA bara geirlimi kontrol deneyi osiloskop görüntüsü giriş geirlimi (Kanal:3 Yeşil), giriş akımı (Kanal: 1 Mavi) ve çıkış gerilimi (Kanal: 2 Kırmızı)



Şekil 0.6. İÇÇ DA bara Tip-2 Kompansatörü kontrol performansı deneyleri a-) giriş voltajının 30V'tan 38V'a çıkması, b-) giriş voltajının 38V'den 30V'a düşmesi, c-) yüklenmenin %40'tan %75'e çıkması ve d-) yüklenmenin %75'ten %40'a düşmesi. (Tüm grafikler için CH1 Giriş Akımı, CH2 Çıkış Gerilimi ve CH3 Giriş Gerilimi)

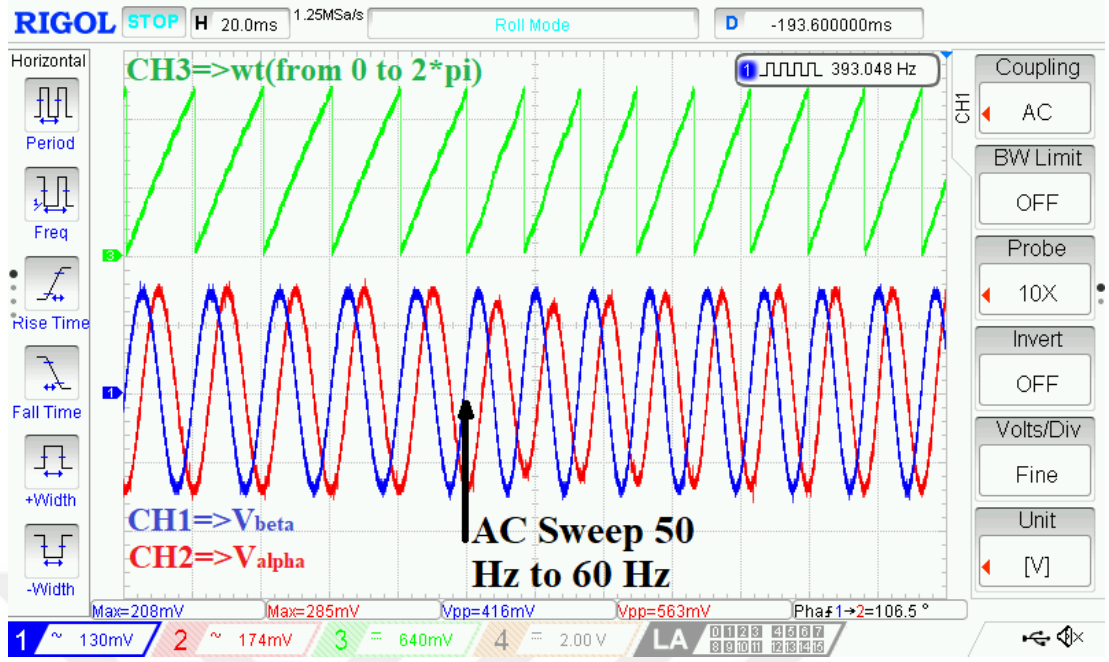
4.3. FKD ve FrKD ALGORİTMALARI

Şebekeye senkronizasyon için tasarlanan FKD ve FrKD algoritmalarının çalışma testinin yapılması için STM32H743 DSP'de yapılan matematik işlemlerin sonucu DAC kanalları ile analog sinyallere dönüştürülmüş ve bu sinyaller osiloskop kullanılarak izlenmiştir. FKD algoritmasının çalışmasının test edildiği deneyin sonuçları Şekil 4.7'de verilmiştir. α - β ekseninde elde edilen ifadeler arasındaki 90° faz farkı osiloskop ölçümleri ile teyit edilmiştir. Ayrıca takip edilen sinüs sinyalinin faz bilgisi de radyan cinsinden elde edilerek ölçülmüş ve teyit edilmiştir.

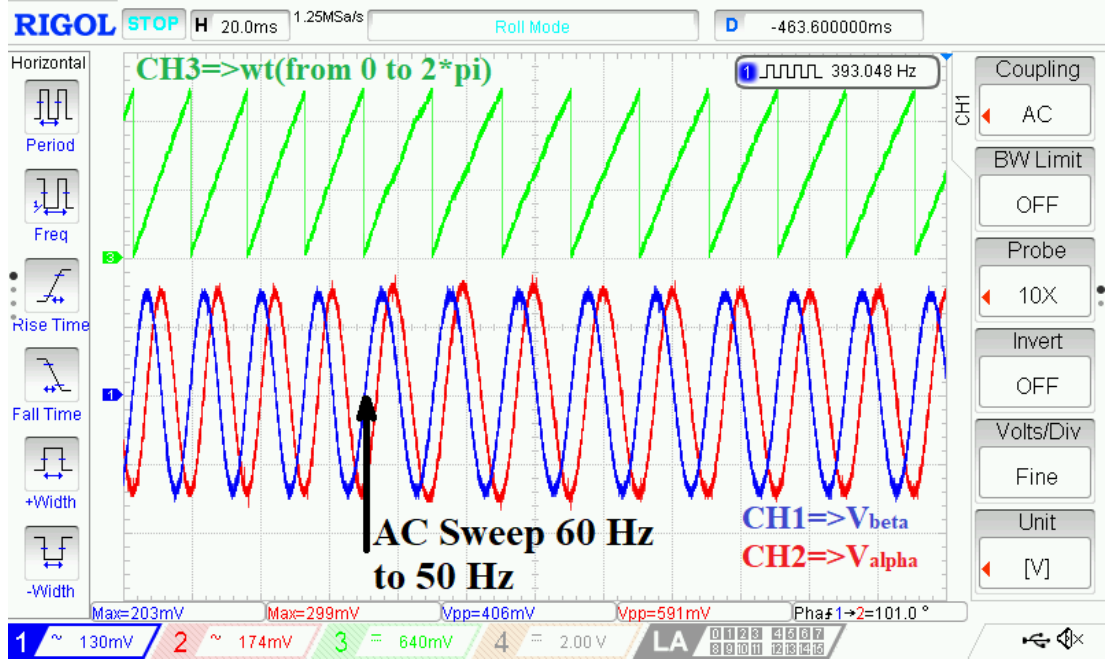


Şekil 0.7. D-Q akım kontrolörü faz kilitli döngü deneyi osiloskop görüntüsü beta gerilimi (kanal: 1 Mavi), alfa gerilimi (Kanal: 2 Kırmızı) ve radyan cinsinden anlık faz konumu takibi (Kanal:3 Yeşil)

Yapılan diğer bir deneyde ise FrKD algoritmasının çalışma performansı test edilmiştir. Sinyal jeneratörü kullanılarak oluşturulan test sinyalinde 200 ms aralıklarla frekans 50 Hz ile 60 Hz arasında değiştirilerek FrKD algoritmasının değişen frekanslara nasıl adapte olduğu gözlemlenmiştir. Şekil 4.8 (a)'da verilen deney sonuçlarında öncelikle sinyal 50 Hz'den 60 Hz'e değiştirilmiştir. Elde edilen sonuçlarda üretilen V_α ifadesinin genliğinin iki periyot boyunca azaldığı gözlemlenmiştir. Bunu yanı sıra ortogonal dalga üretimi esnasında olması gereken faz kaymasının da 90° 'den 106° 'ye çıktığı gözlemlenmiştir. Bunun nedeni frekansın artması ile tasarım detayları Bölüm 2' de anlatılan H_d ve H_q 'nin filtresinin alçak geçiren özelliğidir. Sistem yeni değişen frekansa adapte olup doğru frekans bilgisi ile H_d ve H_q filtrelerini yeniden hesaplayıncaya kadar bir sapma gerçekleşir. Frekansı 60 Hz'den 50 Hz'e düşürülen sinyal ile yapılan deney sonuçları ise Şekil 4.8 (b)'de verilmiştir. Bir önceki deneyde olduğu yaklaşık 2 periyot sonrasında düzgün açılal bilgi sinyali hesaplanabilmiştir.



(a)

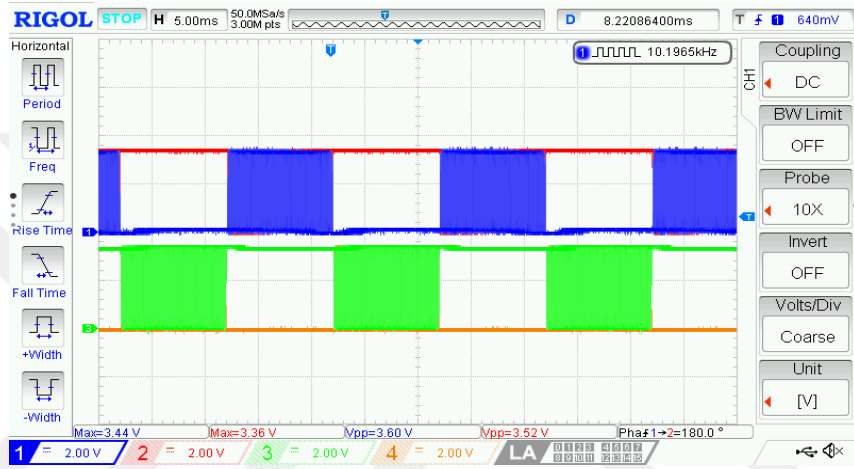


(b)

Şekil 0.8. D-Q akım kontrol algoritması frekans kilitli döngü çalıştırma deneyi (a) 50 Hz'den 60 Hz'e geçiş ölçümleri ve (b) 60 Hz'den 50 Hz'e geçiş ölçümleri(beta gerilimi (kanal: 1 Mavi), alfa gerilimi (Kanal: 2 Kırmızı) ve radyan cinsinden anlık faz konumu takibi (Kanal:3 Yeşil))

4.4. MİKRO EVİRİCİ DENEYLERİ

Tam köprü evirici bacalarının anahtarlanması için üretilen DGM sinyallerine ilişkin ölçüm sonuçları Şekil 4.9’da verilmiştir. STM32’nin TIM1 modülüne bağlı DGM üretim birimleri kullanılmış ve Şekil 4.9 (b)’de gösterildiği gibi hesaplamalar sonucu üretilen referans sinüs sinyalinin pozitif alternansında S_1 ve S_4 anahtarlanırken negatif alternansında da S_2 ve S_3 anahtarlanmıştır.



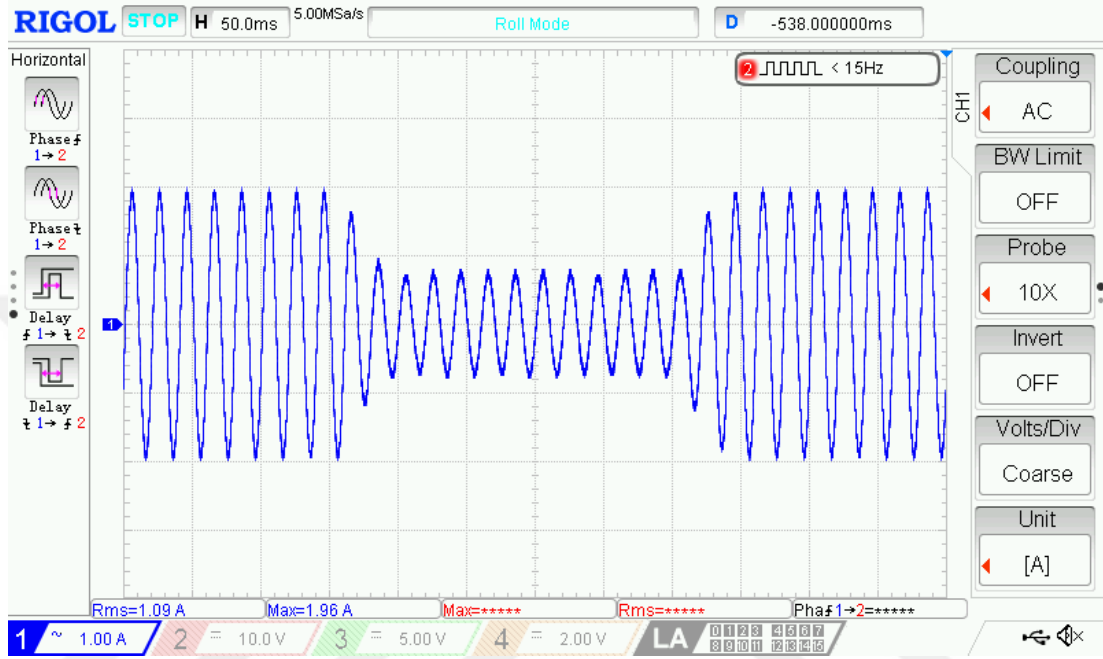
(a)



(b)

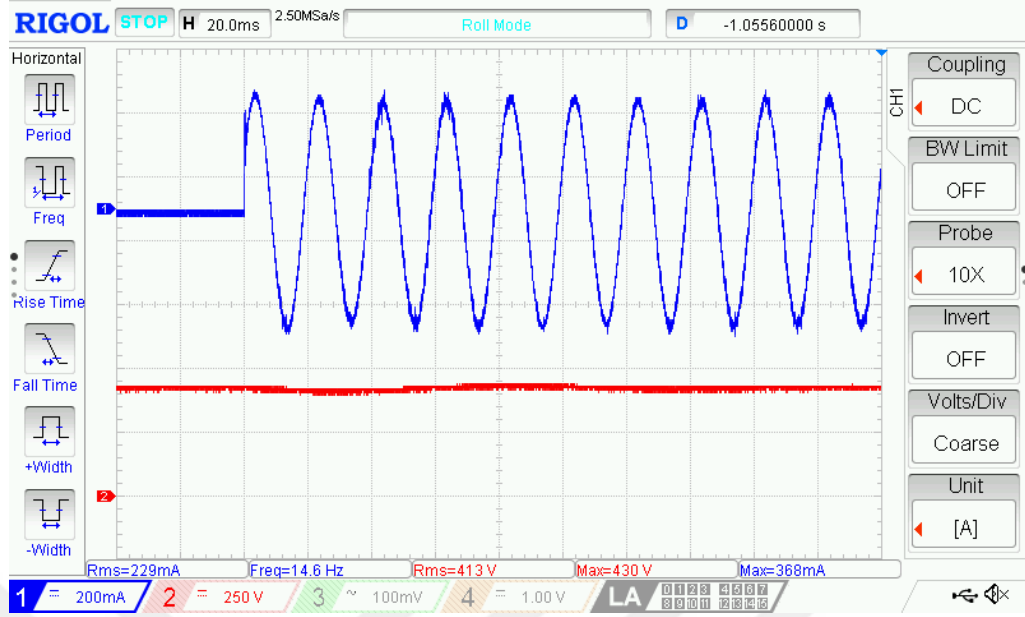
Şekil 0.9. Tam köprü evirici PWM sinyallerinin ölçülmesi (a) dört kanal tümleyen DGM sinyali ölçümü ve (b) sinüs referansı ile dört kanal DGM’nin karşılaştırılması (TIM1 CH1 (Kanal: 1 Mavi), TIM1 CH1N (Kanal: 2 Kırmızı), TIM1 CH2 (Kanal: 3 Yeşil) ve TIM1 CH2N (Kanal: 4 Turuncu))

Mikro evirici çalışma deneyleri kapsamında öncelikle evirici akımı D-Q kontrolü test edilmiştir. Şekil 4.10'da sonucu verilen deney kapsamında 320 Ω direnç yükü beslenerek akım referans değeri her 250 ms de 1 A_{RMS} ve 0.5 A_{RMS} arasında değiştirilmiş ve eviricinin nasıl tepki verdiği gözlemlenmiştir.

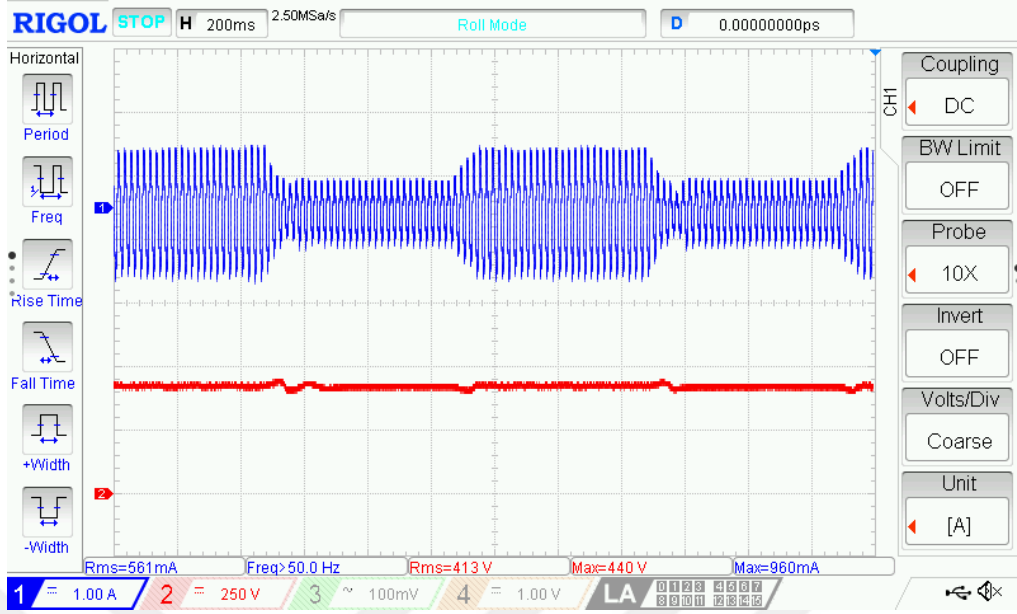


Şekil 0.10. Evirici akımı D-Q akım kontrol performansı ölçümü

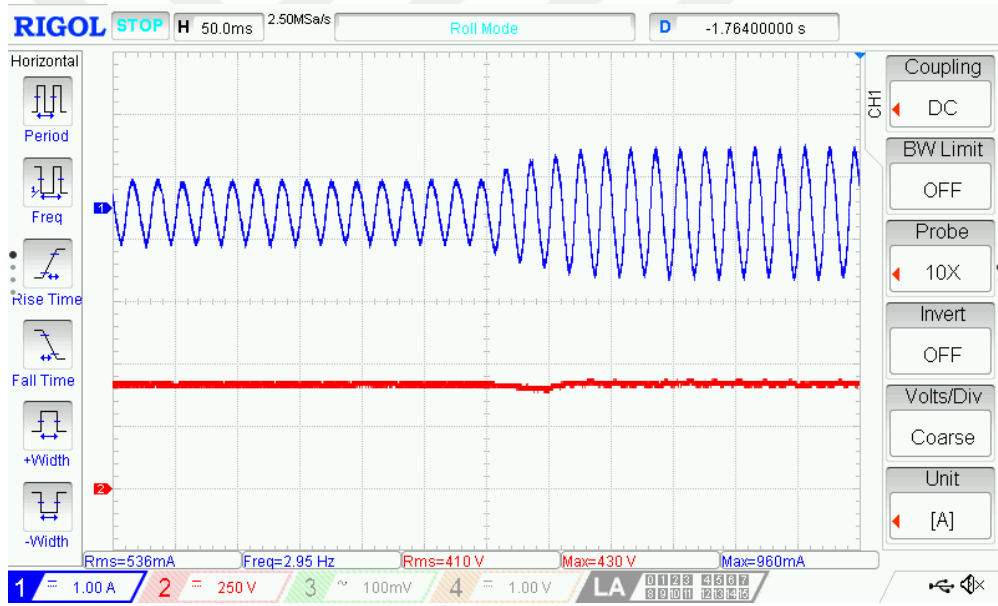
Mikro evirici deneyleri kapsamında yapılan bir diğer deneyde ise sistemin DA bara gerilimi kontrol performansını ölçmek için eviriciden yüke ani akım enjeksiyonu başlatılmış ve DA bara geriliminin nasıl değiştiği gözlemlenmiştir. Bu deneye ilişkin ölçüm sonuçları Şekil 4.11'de verilmiştir. Ani olarak 55 W güç yüke aktarılmaya başladığında DA bara neredeyse bir dalgalanma olmadığı eviriciyi rahatlıkla beslediği gözlemlenmiştir. Diğer bir deneyde ise evirici akım referans değeri yazılımsal olarak belli aralıklarla değiştirilerek yüke aktarılan gücün 200 W ile 100 W arasında değişmesi sağlanmış ve bu değişimler esnasında DA bara gerilimindeki değişimler Şekil 4.12 (a) ve (b)'deki gibi kaydedilmiştir.



Şekil 0.11. Direnç yükünde ani akım enjeksiyonu başlatma deneyi ölçüm sonuçları
evirici akımı (Kanal: 1 Mavi) ve DA bara gerilimi (Kanal: 2 Kırmızı)



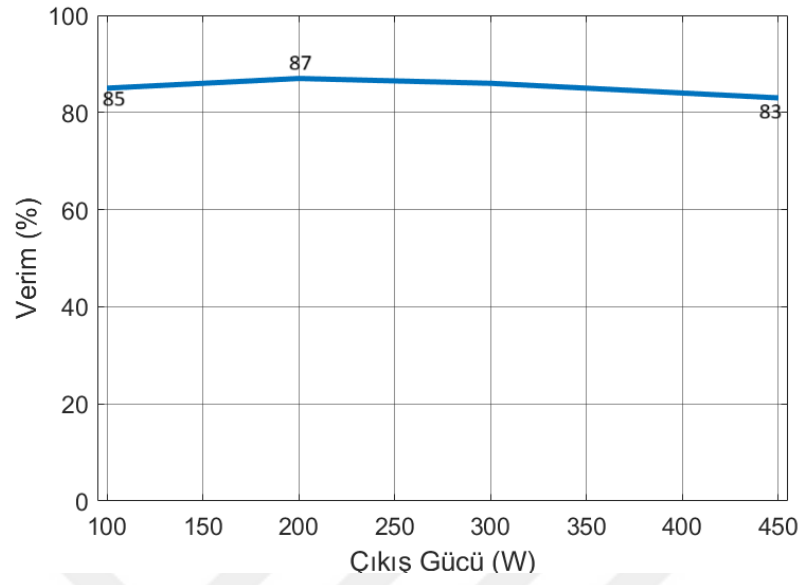
(a)



(b)

Şekil 0.12. Mikro-evirici direnç yükünde değişen akım referansı yakalama deneyi: evirici akımı (Kanal: 1 Mavi) ve DA bara gerilimi (Kanal: 2 Kırmızı)

Mikro evirici sistemin verim ölçümlerinde ise giriş gerilimi 30V-60V aralığında olacak şekilde yapılan ölçümlerde Şekil 4.13'deki verim grafiği elde edilmiştir. Simülasyon sonuçlarındaki eğilime yakın alınan sonuçlarda, kontrol ve sürücü devrelerinin harcadığı güçler de hesaba katılınca simülasyon kapsamında elde edilen sonuçlardan %2-3 daha düşük verim değerleri elde edilmiştir.



Şekil 0.13. Mikro evirici deneysel verim eğrisi

BÖLÜM 5

SONUÇLAR

Tez çalışması kapsamında yenilenebilir enerji sistemlerinde kullanılmak üzere mikro-evirici tasarımı ve uygulaması yapılmıştır. Tezin temel hedeflerinden biri olan izoleli çuk çevirici topolojisini esas alarak DA-DA yükseltici bir MGNT birimi oluşturmak ve ardından tasarlanan D-Q akım kontrolcüsü ile yenilenebilir kaynaktan DA formda elde edilen elektrik enerjisini AA forma dönüştürerek şebeke ve doğrudan yük beslemesi yapılmıştır. Bu kapsamda DA-DA çevirici yükseltici ve tam köprü evirici tasarımları yapılmış, uygun kontrol sistemleri tasarlanmış, farklı kontrol algoritmalarının birbiri ile entegrasyonu yapılmış ve yapılan tasarım PSIM programı ile simüle edilerek sınanmıştır. Yapılan simülasyonlarda DA-DA çevirici ve D-Q akım kontrolcüsünün başarılı çalıştığı, maksimum güç transferi sağlanırken şebekeye düşük harmonik bozunumlu ve yüksek güç faktörlü enerjinin enjekte edildiği gözlemlenmiştir. Elde edilen veriler IEC61000-3-2 Class A standardı ile karşılaştırılmış ve standart limitlerinin karşılandığı gözlemlenmiştir.

Teorik tasarım ve simülasyon sürecinin akabinde deneysel çalışmaları gerçekleştirebilmek için prototipleme işlemi yapılmıştır. Bu aşamada çevirici ve eviricide kullanılan manyetik malzemelerin tasarımları ele alınmış, gelişmiş trafo sarım yöntemleri denenerek trafonun primer sızıntı indüktansı 120 nH seviyesine kadar düşürülmüştür. Akabinde baskı devre tasarımları ele alınmıştır. İzoleli tam köprü kapı sürücüler, izoleli akım-gerilim ölçüm devreleri ve güvenlik devreleri çalışmaya özel olarak tasarlanmıştır. Yapılan deneyler kapsamında şebeke bağımsız pasif bir yük üzerinde AA akım sentezi yapılarak evirici D-Q akım kontrolörünün performansı test edilmiştir. Mikro-eviricinin düşük harmonik bozunumlu AA akım enjekte edebilme kabiliyetinin yanı sıra %87 tepe veriminde çalıştığı kaydedilmiştir.

Çalışma ile birlikte mikro-evirici bir sistemin tasarımı, çevirici ve eviricinin matematiksel modelinin elde edilmesi, kontrolör tasarımı ve tasarlanan kontrolörün ayrıklaştırılarak dijital uygulamasının yapılması ele alınmış ve bu süreçte dikkat edilmesi gereken önemli tasarım kriterleri detaylıca açıklanarak literatüre kazandırılmıştır. Ayrıca yüksek gerilim kazançlı izoleli cuk çeviricinin MGNT için kullanılmak üzere çıkarılan matematiksel modeli ve tasarlanan kontrol sistemi izoleli cuk çevirici ile ilgili literatüre özgün bir katkıda bulunulmasını sağlamıştır.

Tez çalışmasının geliştirme potansiyeline değinilecek olursa ilk olarak mikro evirici sisteme güç faktörünü ± 0.8 'de kontrol edebilmesini sağlayacak bir D-Q eksen kontrolörünün tasarlanması konusu göze çarpmaktadır. Bu sayede olumsuz şebeke koşullarında bile yüksek güç faktörü ile şebekeye akım enjekte edilebilir. Ayrıca deneysel çalışmalar şebeke bağlı testler ile genişletilebilir. Son olarak deneyler esnasında DA-DA çevirici tarafında quadratic boost gibi trafosuz yüksek gerilim kazançlı ve yüksek verimli topolojiler geliştirilerek daha yüksek verimde çalışan bir mikro-evirici sistemin tasarlanabileceği gözlemlenmiştir.

KAYNAKLAR

1. Kopecek, R., Libal, J., Lossen, J., Mihailetchi, V.D., Chu, H., Peter, C., Buchholz, F., Wefringhaus, E., Halm, A., Ma, J., Jianda, L., Yonggang, G., Xiaoyong, Q., Xiang, W., Peng, D.: ZEBRA technology: Low cost bifacial IBC solar cells in mass production with efficiency exceeding 23.5%. Conference Record of the IEEE Photovoltaic Specialists Conference. 2020-June, 1008–1012 (2020). <https://doi.org/10.1109/PVSC45281.2020.9300503>
2. Strobl, G.F.X., Ebel, L., Fuhrmann, D., Guter, W., Kern, R., Khorenko, V., Kostler, W., Meusel, M.: Development of lightweight space solar cells with 30% efficiency at end-of-life. 2014 IEEE 40th Photovoltaic Specialist Conference, PVSC 2014. 3595–3600 (2014). <https://doi.org/10.1109/PVSC.2014.6924884>
3. Steiner, M., Siefer, G., Schmidt, T., Wiesenfarth, M., Dimroth, F., Bett, A.W.: 43% Sunlight to Electricity Conversion Efficiency Using CPV. IEEE J Photovolt. 6, 1020–1024 (2016). <https://doi.org/10.1109/JPHOTOV.2016.2551460>
4. Çelik Emre: ŞEBEKE BAĞLANTILI TEK FAZLI MİKRO EVİRİCİNİN TASARLANMASI VE GERÇEKLEŞTİRİLMESİ. (2015)
5. Zhang, F., Xie, Y., Hu, Y., Chen, G., Wang, X.: A hybrid boost-flyback/flyback microinverter for photovoltaic applications. IEEE Transactions on Industrial Electronics. 67, 308–318 (2020). <https://doi.org/10.1109/TIE.2019.2897543>
6. Kwon, O., Kim, K.S., Kwon, B.H.: Highly Efficient Single-Stage DAB Microinverter Using a Novel Modulation Strategy to Minimize Reactive Power. IEEE J Emerg Sel Top Power Electron. 10, 544–552 (2022). <https://doi.org/10.1109/JESTPE.2021.3090097>
7. Hasan Rasedul, Mekhilef Saad: A Resonant Double Stage Flyback Microinverter for PV Applications. 2017 IEEE Applied Power Electronics Conference and Exposition (APEC). (2017)
8. Surapaneni, R.K., Rathore, A.K.: A Single-Stage CCM Zeta Microinverter for Solar Photovoltaic AC Module. IEEE J Emerg Sel Top Power Electron. 3, 892–900 (2015). <https://doi.org/10.1109/JESTPE.2015.2438012>

9. Palma L.: Push-Pull based Single Stage PV Microinverter for Grid-tied Modules. SPEEDAM 2016 - Proceedings : International Symposium on Power Electronics, Electrical Drives, Automation and Motion (2016)
10. Alluhaybi, K., Batarseh, I., Hu, H.: Comprehensive Review and Comparison of Single-Phase Grid-Tied Photovoltaic Microinverters. IEEE J Emerg Sel Top Power Electron. 8, 1310–1329 (2020). <https://doi.org/10.1109/JESTPE.2019.2900413>
11. Muhammed, M.S.T., Gultekin, A.: INVESTIGATION OF PHASE LOCKED LOOPS IN MICROINVERTERS. (2019)
12. Saleem, U., Li, W., Ullah, Q., Jabbar, A., Sardar, M.U.: On Improving the Voltage Stability of Three Phase Inverter using D-Q Control System. In: ICET 2021 - 16th International Conference on Emerging Technologies 2021, Proceedings. Institute of Electrical and Electronics Engineers Inc. (2021)
13. Wu, W., Sun, Y., Lin, Z., Tang, T., Blaabjerg, F., Chung, H.S.H.: A new LCL-filter with in-series parallel resonant circuit for single-phase grid-tied inverter. IEEE Transactions on Industrial Electronics. 61, 4640–4644 (2014). <https://doi.org/10.1109/TIE.2013.2293703>
14. Noor Mohammad, Omar A.M., Mahzan N.N., Inrahim I.R.: A Review of Single-Phase Single Stage Inverter Topologies for Photovoltaic System. IEEE 4th Control and System Graduate Research Colloquium (2013)
15. Bae, Y., Kim, R.Y.: Suppression of common-mode voltage using a multicentral photovoltaic inverter topology with synchronized PWM. IEEE Transactions on Industrial Electronics. 61, 4722–4733 (2014). <https://doi.org/10.1109/TIE.2013.2289905>
16. Li, Q., Wolfs, P.: A review of the single phase photovoltaic module integrated converter topologies with three different DC link configurations, (2008)
17. Keyhani, H., Toliyat, H.A.: Single-stage multistring PV inverter with an isolated high-frequency link and soft-switching operation. IEEE Trans Power Electron. 29, 3919–3929 (2014). <https://doi.org/10.1109/TPEL.2013.2288361>
18. Carrasco, J.M., Franquelo, L.G., Bialasiewicz, J.T., Galván, E., Portillo Guisado, R.C., Prats, M.Á.M., León, J.I., Moreno-Alfonso, N.: Power-electronic systems for the grid integration of renewable energy sources: A survey, (2006)
19. Xue Yaosuo, Divya C.Kurthakoti, Griepentrog Gerd, Liviu Mihalache, Suresh Sindhu, Manjrekar Madhav: Towards Next Generation Photovoltaic Inverters. 2011 IEEE Energy Conversion Congress and Exposition. (2011)

20. Galtieri Jason, Krein T.Philip: Energy Improvements from Subpanel DC-DC Converters in PV Arrays with Distributed Mismatch. IEEE 43rd Photovoltaic Specialists Conference (2016)
21. Meneses, D., Blaabjerg, F., García, Ó., Cobos, J.A.: Review and comparison of step-up transformerless topologies for photovoltaic AC-module application. IEEE Trans Power Electron. 28, 2649–2663 (2013). <https://doi.org/10.1109/TPEL.2012.2227820>
22. Vlatkovic, V.: Alternative Energy: State of the Art and Implications on Power Electronics. (2004)
23. Walker Jordan, Geoffrey R: PhotoVoltaic DC-DC Module Integrated Converter for Novel Cascaded and Bypass Grid Connection Topologies-Design and Optimisation. (2006)
24. Kim, Y.H., Ji, Y.H., Kim, J.G., Jung, Y.C., Won, C.Y.: A new control strategy for improving weighted efficiency in photovoltaic AC module-type interleaved flyback inverters. IEEE Trans Power Electron. 28, 2688–2699 (2013). <https://doi.org/10.1109/TPEL.2012.2226753>
25. Kumar, A., Sensarma, P.: New Switching Strategy for Single-Mode Operation of a Single-Stage Buck-Boost Inverter. IEEE Trans Power Electron. 33, 5927–5936 (2018). <https://doi.org/10.1109/TPEL.2017.2742403>
26. Tang, Y., Dong, X., He, Y.: Active buck-boost inverter. IEEE Transactions on Industrial Electronics. 61, 4691–4697 (2014). <https://doi.org/10.1109/TIE.2013.2293694>
27. Jain, S., Agarwal, V.: A single-stage grid connected inverter topology for solar PV systems with maximum power point tracking. IEEE Trans Power Electron. 22, 1928–1940 (2007). <https://doi.org/10.1109/TPEL.2007.904202>
28. Kasa Nobuyuki: Zero-Voltage Transition Flyback Inverter for Small Scale Photovoltaic Power System. (2005)
29. Kasa, N., Iida, T., Chen, L.: Flyback inverter controlled by sensorless current MPPT for photovoltaic power system. IEEE Transactions on Industrial Electronics. 52, 1145–1152 (2005). <https://doi.org/10.1109/TIE.2005.851602>
30. Jiang, S., Cao, D., Li, Y., Peng, F.Z.: Grid-connected boost-half-bridge photovoltaic microinverter system using repetitive current control and maximum power point tracking. IEEE Trans Power Electron. 27, 4711–4722 (2012). <https://doi.org/10.1109/TPEL.2012.2183389>

31. Cha, W.J., Cho, Y.W., Kwon, J.M., Kwon, B.H.: Highly efficient microinverter with soft-switching step-up converter and single-switch-modulation inverter. *IEEE Transactions on Industrial Electronics*. 62, 3516–3523 (2015). <https://doi.org/10.1109/TIE.2014.2366718>
32. Chen, B., Gu, B., Zhang, L., Zahid, Z.U., Lai, J.S.J., Liao, Z., Hao, R.: A high-efficiency MOSFET transformerless inverter for nonisolated microinverter applications. *IEEE Trans Power Electron*. 30, 3610–3622 (2015). <https://doi.org/10.1109/TPEL.2014.2339320>
33. Yu Wensong, Lai Jih-Sheng, Qian Hao, Hutchens Chris: High-Efficiency Inverter with H6-Type Configuration for Photovoltaic Non-Isolated AC Module Applications. *Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition* (2010)
34. Zhang, Y., Sun, J.T., Wang, Y.F.: Hybrid boost three-level DC-DC converter with high voltage gain for photovoltaic generation systems. *IEEE Trans Power Electron*. 28, 3659–3664 (2013). <https://doi.org/10.1109/TPEL.2012.2229720>
35. Saadatizadeh, Z., Heris, P.C., Sabahi, M., Babaei, E.: A DC-DC Transformerless High Voltage Gain Converter with Low Voltage Stresses on Switches and Diodes. *IEEE Trans Power Electron*. 34, 10600–10609 (2019). <https://doi.org/10.1109/TPEL.2019.2900212>
36. Zhao, Q., Lee, F.C.: High-efficiency, high step-up dc-dc converters. *IEEE Trans Power Electron*. 18, 65–73 (2003). <https://doi.org/10.1109/TPEL.2002.807188>
37. Alizadeh, D., Babaei, E., Sabahi, M.: High Step-Up Quadratic Impedance Source DC–DC Converter Based on Coupled Inductor. *IEEE J Emerg Sel Top Power Electron*. 11, 5930–5939 (2023). <https://doi.org/10.1109/JESTPE.2022.3207033>
38. Haliloğlu Cesur: Şebekeye Bağlı Fotovoltaik Sistemler için Araya Yerleştirilmiş Flyback Mikro-evirici Tasarımı. (2019)
39. Kırimer, B.: Fotovoltaik Uygulamalar için Sarmaşık Yapılı Flyback Dönüştürücü Tabanlı Bir Evirici Tasarımı ve Uygulaması. (2016)
40. Singh, K.A., Prajapati, A., Chaudhary, K.: High-Gain Compact Interleaved Boost Converter With Reduced Voltage Stress for PV Application. *IEEE J Emerg Sel Top Power Electron*. 10, 4763–4770 (2022). <https://doi.org/10.1109/JESTPE.2021.3120802>
41. Ashok Bhupathi Kumar, M., Krishnasamy, V.: Quadratic Boost Converter with Less Input Current Ripple and Rear-End Capacitor Voltage Stress for

- Renewable Energy Applications. *IEEE J Emerg Sel Top Power Electron.* 10, 2265–2275 (2022). <https://doi.org/10.1109/JESTPE.2021.3122354>
42. Ghasemi Ali, Adib Ehsan, Mohammadi Reza: A New Isolated SEPIC Converter with Coupled Inductors for Photovoltaic Applications. (2011)
 43. Zhu, B., Huang, Y., Zhang, Y., Liu, G., Chen, S.: High Step-up SEPIC Converters Based on a Family of Coat Circuit. *CSEE Journal of Power and Energy Systems.* 9, 1753–1764 (2023). <https://doi.org/10.17775/CSEEJPES.2020.06820>
 44. Murthy-Bellur, D., Kazimierczuk, M.K.: Isolated two-transistor zeta converter with reduced transistor voltage stress. *IEEE Transactions on Circuits and Systems II: Express Briefs.* 58, 41–45 (2011). <https://doi.org/10.1109/TCSII.2010.2092829>
 45. Hasanpour, S., Nouri, T., Blaabjerg, F., Siwakoti, Y.P.: High Step-Up SEPIC-Based Trans-Inverse DC-DC Converter With Quasi-Resonance Operation for Renewable Energy Applications. *IEEE Transactions on Industrial Electronics.* 70, 485–497 (2023). <https://doi.org/10.1109/TIE.2022.3150103>
 46. Bist, V., Singh, B.: PFC Cuk Converter Fed BLDC Motor Drive. *IEEE Trans Power Electron.* 30, 1–17 (2014). <https://doi.org/10.1109/TPEL.2014.2309706>
 47. Nathan, K., Ghosh, S., Siwakoti, Y., Long, T.: A New DC-DC Converter for Photovoltaic Systems: Coupled-Inductors Combined Cuk-SEPIC Converter. *IEEE Transactions on Energy Conversion.* 34, 191–201 (2019). <https://doi.org/10.1109/TEC.2018.2876454>
 48. Bist, V., Singh, B.: A Unity Power Factor Bridgeless Isolated Cuk Converter-Fed Brushless DC Motor Drive. *IEEE Transactions on Industrial Electronics.* 62, 4118–4129 (2015). <https://doi.org/10.1109/TIE.2014.2384001>
 49. Vorpérian, V.: The effect of the magnetizing inductance on the small-signal dynamics of the isolated cuk converter. *IEEE Trans Aerosp Electron Syst.* 32, 967–983 (1996). <https://doi.org/10.1109/7.532257>
 50. Bhattacharya, A., Paul, A.R., Chatterjee, K.: A Coupled Inductor Based Cuk Microinverter for Single Phase Grid Connected PV Applications. In: *IEEE Transactions on Industry Applications.* pp. 981–993. Institute of Electrical and Electronics Engineers Inc. (2023)
 51. Gautam, V., Sensarma, P.: Design of cuk-derived transformerless common-grounded PV microinverter in CCM. *IEEE Transactions on Industrial Electronics.* 64, 6245–6254 (2017). <https://doi.org/10.1109/TIE.2017.2677352>

52. Tseng, K.C., Huang, C.C., Cheng, C.A.: A High Step-Up Converter with Voltage-Multiplier Modules for Sustainable Energy Applications. *IEEE J Emerg Sel Top Power Electron.* 3, 1100–1108 (2015). <https://doi.org/10.1109/JESTPE.2015.2404943>
53. Chan, C.Y.: Adaptive Modified Current-Mode Control of a Hybrid High Voltage Gain Converter. *IEEE Transactions on Circuits and Systems II: Express Briefs.* 71, 360–364 (2024). <https://doi.org/10.1109/TCSII.2023.3303467>
54. Lakshmi, M., Hemamalini, S.: Nonisolated high gain DC-DC converter for DC microgrids. *IEEE Transactions on Industrial Electronics.* 65, 1205–1212 (2017). <https://doi.org/10.1109/TIE.2017.2733463>
55. Huang, S.S., Konishi, Y., Yang, Z.Z., Hsieh, M.J.: Observer-Based Capacitor Current Sensorless Control Applied to a Single-Phase Inverter System with Seamless Transfer. *IEEE Trans Power Electron.* 34, 2819–2828 (2019). <https://doi.org/10.1109/TPEL.2018.2840323>
56. Liu, B., Wang, H., Yang, Y., Zhang, X., Guo, B.: Improved Model Predictive Control for Single-Phase Grid-Tied Inverter With Virtual Vectors in the Compacted Solution-Space. *IEEE Transactions on Industrial Electronics.* 69, 9673–9678 (2022). <https://doi.org/10.1109/TIE.2021.3114715>
57. Roshan, A., Burgos, R., Baisden, A.C., Wang, F., Boroyevich, D.: A D-Q Frame Controller for a Full-Bridge Single Phase Inverter Used in Small Distributed Power Generation Systems. (2007)
58. Roshan, A., Burgos, R., Baisden, A.C., Wang, F., Boroyevich, D.: A D-Q frame controller for a full-bridge single phase inverter used in small distributed power generation systems. *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC.* 641–647 (2007). <https://doi.org/10.1109/APEX.2007.357582>
59. Öztürk, S., Çadirci, I.: A Generalized and Flexible Control Scheme for Photovoltaic Grid-Tie Microinverters. In: *IEEE Transactions on Industry Applications.* pp. 505–516. Institute of Electrical and Electronics Engineers Inc. (2018)
60. Vatansever, F.: Clarke ve Park Dönüşümlerinin Görselleştirilmesi. *Academic Perspective Procedia.* 2, 502–507 (2019). <https://doi.org/10.33793/acperpro.02.03.40>
61. Ebrahimi, M., Khajehoddin, S.A., Karimi-Ghartemani, M.: Fast and Robust Single-Phase DQ Current Controller for Smart Inverter Applications. *IEEE Trans Power Electron.* 31, 3968–3976 (2016). <https://doi.org/10.1109/TPEL.2015.2474696>

62. Bahrani, B., Kenzelmann, S., Rufer, A.: Multivariable-PI-based dq current control of voltage source converters with superior axis decoupling capability. *IEEE Transactions on Industrial Electronics*. 58, 3016–3026 (2011). <https://doi.org/10.1109/TIE.2010.2070776>
63. Zhou, S., Zhang, J.L.: A Decoupling Method based on Reference Current Feedforward for DQ-Frame PI Current Control of Grid-Connected Voltage Source Converters. (2015)
64. Ramezani, M., Li, S., Sun, Y.: DQ-reference-frame based impedance and power control design of islanded parallel voltage source converters for integration of distributed energy resources. *Electric Power Systems Research*. 168, 67–80 (2019). <https://doi.org/10.1016/j.epsr.2018.10.017>
65. Öztürk, S., Çadirci, I.: A Generalized and Flexible Control Scheme for Photovoltaic Grid-Tie Microinverters. In: *IEEE Transactions on Industry Applications*. pp. 505–516. Institute of Electrical and Electronics Engineers Inc. (2018)
66. Zhang, F., Xie, Y., Hu, Y., Chen, G., Wang, X.: A hybrid boost-flyback/flyback microinverter for photovoltaic applications. *IEEE Transactions on Industrial Electronics*. 67, 308–318 (2020). <https://doi.org/10.1109/TIE.2019.2897543>
67. Suresh, N., Pahlevaninezhad, M., Jain, P.K.: Analysis and implementation of a single-stage flyback PV microinverter with soft switching. *IEEE Transactions on Industrial Electronics*. 61, 1819–1833 (2014). <https://doi.org/10.1109/TIE.2013.2263778>
68. Jiang, S., Cao, D., Li, Y., Peng, F.Z.: Grid-connected boost-half-bridge photovoltaic microinverter system using repetitive current control and maximum power point tracking. *IEEE Trans Power Electron*. 27, 4711–4722 (2012). <https://doi.org/10.1109/TPEL.2012.2183389>
69. Chen, L., Hu, C., Zhang, Q., Zhang, K., Batarseh, I.: Modeling and triple-loop control of ZVS grid-connected DC/AC converters for three-phase balanced microinverter application. *IEEE Trans Power Electron*. 30, 2010–2023 (2015). <https://doi.org/10.1109/TPEL.2014.2329278>
70. Zhou, S., Liu, J., Zhou, L., Zhang, Y.: DQ Current Control of Voltage Source Converters with a Decoupling Method Based on Preprocessed Reference Current Feed-forward. *IEEE Trans Power Electron*. 32, 8904–8921 (2017). <https://doi.org/10.1109/TPEL.2017.2651139>
71. Shahid, Z., Khan, S., Alam, A.Z., Ahmed, M.M.: Investigation on grid synchronization for grid-tied DC-AC single phase inverters. In: *Proceedings - 5th International Conference on Computer and Communication Engineering*:

Emerging Technologies via Comp-Unication Convergence, ICCCE 2014. pp. 111–114. Institute of Electrical and Electronics Engineers Inc. (2015)

72. Hao-yang, LuSheng-Ge, QingFeng-Sun: Design of Single-Phase Digital Phase Locked Loop Based on MVF-QSG. Proceedings of the 31st Chinese Control and Decision Conference (2019 CCDC) (2019)
73. Xu Jinming, Qian Hao, Bian Shenyiyang, Xie Shaohun: Improved Delay-Based Phase Locked Loop for Grid-Tied Inverter to Improve the Performance under Weak Grid. Proceedings of the the 15th IEEE Conference on Industrial Electronics and Applications (ICIEA 2020) (2020)
74. Akhtar Afroz Mohd, Saha Suman: Comparative Evaluation of different PD of TD-PLL Using Small Signal Modelling for Single Phase Grid Tied Inverters under Grid Disturbances. 8th IEEE India International Conference on Power Electronics : IICPE 2018 (2018)
75. Zhang, R., Cardinal, M., Szczesny, P., Dame, M.: A Grid Simulator with Control of Single-phase Power Converters in D-Q Rotating Frame. (2002)
76. Karimi-Ghartemani, M., Reza Iravani, M.: A Nonlinear Adaptive Filter for Online Signal Analysis in Power Systems: Applications. (2002)
77. Santos Filho, R.M., Seixas, P.F., Cortizo, P.C., Torres, L.A.B., Souza, A.F.: Comparison of three single-phase PLL algorithms for UPS applications. IEEE Transactions on Industrial Electronics. 55, 2923–2932 (2008). <https://doi.org/10.1109/TIE.2008.924205>
78. Sahoo, A., Ravishankar, J., Jones, C.: Phase-Locked Loop Independent Second-Order Generalized Integrator for Single-Phase Grid Synchronization. IEEE Trans Instrum Meas. 70, (2021). <https://doi.org/10.1109/TIM.2021.3104406>
79. Golestan, S., Monfared, M., Freijedo, F.D., Guerrero, J.M.: Design and tuning of a modified power-based PLL for single-phase grid-connected power conditioning systems. IEEE Trans Power Electron. 27, 3639–3650 (2012). <https://doi.org/10.1109/TPEL.2012.2183894>
80. Xu, J., Qian, H., Hu, Y., Bian, S., Xie, S.: Overview of SOGI-Based Single-Phase Phase-Locked Loops for Grid Synchronization under Complex Grid Conditions. IEEE Access. 9, 39275–39291 (2021). <https://doi.org/10.1109/ACCESS.2021.3063774>
81. Xin, Z., Wang, X., Qin, Z., Lu, M., Loh, P.C., Blaabjerg, F.: An Improved Second-Order Generalized Integrator Based Quadrature Signal Generator. IEEE Trans Power Electron. 31, 8068–8073 (2016). <https://doi.org/10.1109/TPEL.2016.2576644>

82. Kanjiya, P., Khadkikar, V., El Moursi, M.S.: A novel type-1 frequency-locked loop for fast detection of frequency and phase with improved stability margins. *IEEE Trans Power Electron.* 31, 2550–2561 (2016). <https://doi.org/10.1109/TPEL.2015.2435706>
83. Liu, H., Xing, Y., Hu, H.: Enhanced Frequency-Locked Loop with a Comb Filter under Adverse Grid Conditions. *IEEE Trans Power Electron.* 31, 8046–8051 (2016). <https://doi.org/10.1109/TPEL.2016.2564994>
84. Kushwaha, R., Singh, B., Khadkikar, V.: An Isolated Bridgeless Cuk-SEPIC Converter Fed Electric Vehicle Charger. *IEEE Trans Ind Appl.* 9994, (2021). <https://doi.org/10.1109/TIA.2021.3136496>
85. Singh, K.A., Prajapati, A., Chaudhary, K.: High-Gain Compact Interleaved Boost Converter With Reduced Voltage Stress for PV Application. *IEEE J Emerg Sel Top Power Electron.* 10, 4763–4770 (2022). <https://doi.org/10.1109/JESTPE.2021.3120802>
86. Hukumen, B., Gokdag, M., Gulbudak, O.: Two Stage Dimmable PFC LED Driver Digital Controller Design and Analysis for Isolated SEPIC Converter. In: *Proceedings - 2023 IEEE 5th Global Power, Energy and Communication Conference, GPECOM 2023*. pp. 33–38. Institute of Electrical and Electronics Engineers Inc. (2023)
87. Kang, D., Wang, H., Deng, X., Jiang, Y., Si, Y., Zhu, X., Yue, X.: LC Filter Parameters Design Method Based on Harmonic Contents Analysis for Dual-Mode Single-Phase Inverter. *IEEE Trans Power Electron.* (2023). <https://doi.org/10.1109/TPEL.2023.3347474>
88. Künzi, R.: Passive power filters. In: *CERN Accelerator School: Power Converters, CAS 2014 - Proceedings*. pp. 265–289. CERN (2018)
89. Teodorescu, R., Liserre, M., Rodríguez, P. (Electrical engineer): *Grid converters for photovoltaic and wind power systems*. Wiley (2011)
90. Holmes, D.G., Lipo, T.A., McGrath, B.P., Kong, W.Y.: Optimized design of stationary frame three phase AC Current regulators. *IEEE Trans Power Electron.* 24, 2417–2426 (2009). <https://doi.org/10.1109/TPEL.2009.2029548>
91. Yepes, A.G., Vidal, A., Malvar, J., Lopez, O., Doval-Gandoy, J.: Tuning method aimed at optimized settling time and overshoot for synchronous proportional-integral current control in electric machines. *IEEE Trans Power Electron.* 29, 3041–3054 (2014). <https://doi.org/10.1109/TPEL.2013.2276059>

92. Kaya Şeydanur: GEÇİŞ ve NADİR TOPRAK ELEMENTLERİ KATKILI BİR BOYUTLU ZnO NANOYAPILARININ KRİSTALOGRAFİK, MORFOLOJİK, OPTİK ve MANYETİK KARAKTERİZASYONU, (2020)
93. Gangavarapu, S., Rathore, A.K., Fulwani, D.M.: Three-Phase Single-Stage-Isolated Cuk-Based PFC Converter. IEEE Trans Power Electron. 34, 1798–1808 (2019). <https://doi.org/10.1109/TPEL.2018.2829080>
94. 4PCB: CB Trace Width Calculator “<https://www.advancedpcb.com/en-us/tools/trace-width-calculator/>”
95. Lazar Rozenblat: CALCULATING SPACING BETWEEN PCB TRACES FOR VARIOUS VOLTAGE LEVELS “<https://www.smeps.us/pcbtracespacing.html>”

ÖZGEÇMİŞ

Burhan HÜKÜMEN, ilk ve orta öğrenimini Kastamonu'da Gazipaşa İlköğretim Okulun'da tamamladı. 2015 yılında Kastamonu Anadolu Teknik ve Endüstri Meslek Lisesi Elektrik -Elektronik Teknolojisi Alanı Endüstriyel Bakım Onarım Dalın'da okul birinciliği ile tamamladı. 2020 yılında Karabük Üniversitesi Mühendislik Fakültesi Elektrik – Elektronik Mühendisliği Bölümü'nden mezun oldu 2022 yılında Karabük Üniversitesi Lisansüstü Eğitim Enstitüsü Elektrik – Elektronik Mühendisliği bölümünden Yüksek Lisans eğitime başladı. 2023 yılı itibariyle Samsun Üniversitesi'nde Araştırma Görevlisi olarak çalışmaktadır.